ترانزیستور MOSFET

مطالبی که در اختیار شما قرار گرفته است در دانشکده فیزیک طی سالهای گذشته در مبحث ترانزیستورهای MOSFET تدریس شده است. امید است با خواندن آن و حل مسایل انتهای فصل تسلط خوبی بر مفاهیم پیدا کنید.

موفق باشید

نظری

۹۳/۱۰/۰۱

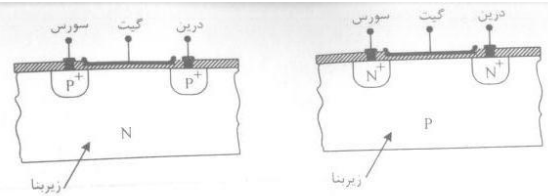
فصل نهم

ترانزیستورهای اثر میدانی عایقی

مقدمه

در این دسته از ترانزیستورهای اثر میدانی همانطوری‌که از اسمشان پیدا است گیت نسبت به کانال عبور جریان عایق است. عنوان کلی این ترانزیستورها IGFET[1] می‌باشد. گرچه ساختار این ترانزیستورها با JFET خیلی فرق می‌کند ولی از نظر نام‌گذاری پایه‌ها، نحوهٔ عبور جریان، تک قطب بودن حاملها و بسیاری موارد دیگر مشابه هم هستند. ساختمان عمومی این ترانزیستورها طبق شکل ۱-۹ است. پایانه‌های این ترانزیستور بر روی شکل مشخص شده‌اند که شامل گیت، سورس، درین و زیر بنا[2] (بدنه یا بستر) است. زیر بنا یک نیمه‌رسانا است که مناطق سورس و درین طبق شکل با وارد کردن ناخالصی به درون آن ساخته می‌شوند. پایانه گیت با گذاشتن یک لایه عایق بسیار نازک بر روی زیر بنا و سپس قرار دادن یک لایه فلزی نازک بر روی آن تعریف می‌گردد. از آنجایی‌که در این ساختار، فلز گیت نسبت به زیر بنا توسط یک لایه بسیار نازک عایق شده است به ترانزیستور گیت عایقی یا IGFET معروف است. از آنجایی‌که معمولاً جنس سورس و درین با جنس زیر بنا متفاوت است، دو نوع ترانزیستور قابل ساخت است. شکل ۱-۹ الف و ب این دو نوع ساختار را نشان می‌دهد.

1- Insulated Gate Field Effect Transistors
2-Substrate

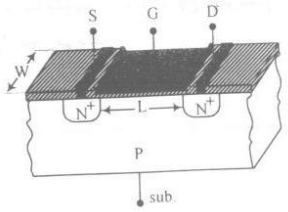


شکل ۱-۹ ساخت ترانزیستور اثر میدانی عایقی (IGFET) یا زیر بنا الف) P و ب)N.

روش دیگر نام‌گذاری این ترانزیستورها که بیشتر از IGFET بکار برده می‌شود، خواندن مستقیم جنس مواد از گیت تا زیر بنا است که معمولاً شامل فلز، عایق و نیمه‌رسانا است. سپس از پهلوی هم قرار دادن حروف اول این مواد MIS شکل می‌گیرد که به ابتدای FET اضافه می‌شود و MISFET خوانده می‌شود. امروزه ساختارهای متفاوتی از MISFET وجود دارند که در آنها برای ساخت عایق از مواد مختلف استفاده شده است. اما پر مصرف‌ترین، و معروفترین خانوادهٔ MISFET، MOSFET است که در آن از اکسید سیلیسیم به عنوان عایق ترانزیستور استفاده شده است، لذا به جای حرف "I" از حرف "O" (اکسید سیلیسیم) استفاده می شود. در ادامهٔ این فصل به دلیل کاربرد گسترده ترانزیستور اثر میدانی MOS (MOSFET)، تنها این ساختار مورد ارزیابی قرار خواهد گرفت.

۹.۱ ساختمان MOSFET

ساختار ترانزیستور MOS بسیار ساده است که با عایق اکسید سیلیسیم در شکل ۲-۹ ترسیم شده است. از آنجایی‌که اصول عملکرد این ترانزیستور تا حدود زیادی با JFET مشابه است، پایانه‌های هم وظیفه را به همان طریق درین، سورس و گیت نام گذاری کرده‌اند. بر خلاف JFET ، کانال عبور جریان بین سورس و درین همیشه برقرار نیست بلکه با اعمال ولتاژ به گیت شکل می‌گیرد که در بخش بعد به هنگام تشریح چگونگی عملکرد این ترانزیستور گفته خواهد شد.

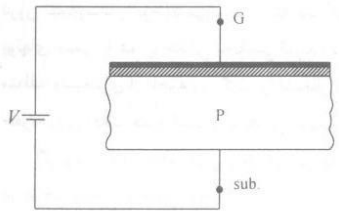


شکل ۲-۹ ساختار یک MOSFET با زیر بناء P که پایانه‌های درین، سورس، گیت و زیربنا بر روی آن مشخص شده‌اند.
اکسید سیلیسیم
فلز

در این ساختار مناطق سورس و درین از جنس N^+ (ناخالصی N_D با چگالی زیاد) است که به داخل زیربنا P افزوده شده است. قسمت اساسی این ساختار همان عایق بسیار نازک گیت است، که از جنس SiO_2 (اکسید سیلیسیم) می باشد. ضخامت این اکسید در روزهای اولیه ساخت MOS که به سالهای ۱۹۶۰ بر می‌گردد در حد ۱۲۰۰ آنگستروم (۱۲۰ نانومتر) بود که امروزه به حد ۱۰۰ انگستروم (۱۰ نانومتر) رسیده است و همچنان رو به کاهش است (البته با کاهش بیش از حد ضخامت، جنس عایق نیز در حال تغییر می‌باشد). عملکرد این ترانزیستورها تا حد زیادی به کیفیت عایق بستگی دارد و دلیل به کارگیری آن بعد از ترانزیستور دو قطبی و JFET عدم امکان دستیابی به یک عایق خوب قبل از سالهای ۱۹۶۰ است. اما بعد از ساخت اولین ترانزیستورهای عملیاتی از این نوع، روز به روز کاربرد آنها بیشتر و بیشتر گردید که خود موجب بهبود کیفیت این ترانزیستورها و در نتیجه بکارگیری بیشتر آنها شد. این ترانزیستورها ابتدا بیشتر در مدارهای الکترونیک دیجیتالی بکار می‌رفتند ولی رفته رفته کاربرد آنها در مدارهای مجتمع آنالوگ نیز فزونی گرفت تا جایی‌که امروزه به عنوان یکی از پر مصرف‌ترین عناصر الکترونیکی محسوب می‌شوند. بنابراین جا دارد تا فیزیک عملکرد این ترانزیستورها را به خوبی یاد بگیریم.

۹.۲ طرز کار خازن MOS

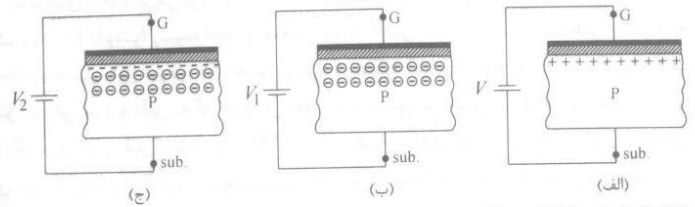
از آنجایی‌که عملکرد ترانزیستور MOS بیشتر به کنار هم قرار گرفتن سه ماده فلز، اکسید و نیمه‌رسانا بستگی دارد، لذا برای تشریح طرز کار این ساختار، شکل ۳-۹ را بدون ترسیم مناطق سورس و درین در نظر می‌گیریم. این ساختار در واقع ساختمان یک خازن جوشنی است که عایق آن اکسید سیلیسیم و دو جوشن آن یکی فلز و دیگری نیمه‌رسانای نوع P است. در عمل برای ساخت MOS از فلز آلومینیم استفاده می‌شود.



شکل ۳-۹ ساختار خازن MOS که چگونگی تشکیل یک خازن جوشنی از فلز آلومینیوم، عایق اکسید سیلیسیم و نیمه‌رسانای نوع P را نشان می‌دهد.

اگر ولتاژی طبق شکل ۳-۹ بین پایهٔ گیت و زیر بناء اعمال گردد. از آنجایی‌که این ولتاژ مقدار ثابتی است، ابتدا خازن تا این ولتاژ شارژ می‌شود و سپس جریان صفر می‌گردد. علامت بار ذخیره شده بر روی جوشنها به جهت ولتاژ V بستگی دارد. با توجه به شکل ۳-۹، بار روی فلز مثبت ولی بار درون نیمه‌رسانا و در نزدیکی عایق، منفی خواهد بود. مطالعه تجمع بار در نیمه‌رسانا مهم‌تر از

درون فلز است که تنها با از دست دادن تعدادی از الکترونهای زیاد خود مثبت می‌گردد. برای اینکه چگونگی تجمع بار مثبت یا منفی در نیمه‌رسانا را تشریح کنیم. شکل ۴-۹ را به ازای سه حالت مختلف V_G مورد بررسی قرار می‌دهیم.



شکل ۴-۹ خازن MOS تحت ولتاژهای مختلف که نحوه و نوع بارهای ذخیره شده در دو جوشن را نشان می‌دهد. الف) تجمع بار ب) تخلیه ج) وارونگی.

در شکل ۴-۹ الف ولتاژ V طوری اعمال شده است که قطب منفی آن به فلز و قطب مثبت آن به نیمه‌رسانا متصل شده است. بار دو جوشن خازن دراین حالت منفی روی فلز و مثبت در طرف نیمه‌رسانا است. درطرف نیمه‌رسانا که نوع P است، تجمع بار مثبت به منزله جمع شدن حفره ها در قسمت بالای نیمه‌رسانا است که به این حالت **انباشتگی**[1] حفره ها گفته می شود.

اگر ولتاژ V طبق شکل ۴-۹ب به گیت وارد شود، گیت بار مثبت ولی نیمه‌رسانا بار منفی خواهد داشت. در این حالت سئوال می‌شود که نیمه‌رسانای P ، بار منفی را از کجا می‌آورد. برای تجمع بار منفی کافی است حفره‌ها از سطح نیمه‌رسانا رانده شوندکه به این ترتیب اتمهای گیرنده به شکل یونهای منفی طبق شکل ۴-۹ب در زیر گیت جمع می‌شوند و به این ترتیب بار منفی درون نیمه‌رسانا را بوجود می‌آورند. البته همانگونه که در شکل ۴-۹ب دیده می‌شود، از آنجایی‌که یونهای منفی با همان چگالی ناخالصی‌گیرنده در درون نیمه‌رسانا قرار گرفته‌اند، این تجمع بارها، منطقهٔ وسیعتری از ناحیه زیر گیت را اشغال می‌کنند. البته این منطقه به دلیل رانده شدن حفره‌هایش، فاقد حفره است و به همین جهت به ناحیه **تخلیه**[2] موسوم است.

اگر ولتاژ V در حالت قبل را باز افزایش دهیم، طبق شکل ۴-۹ج لازم است بار منفی بیشتری در طرف نیمه‌رسانا جمع شود. لذا در این حالت علاوه بر دفع حفرهٔ بیشتر از سطح، الکترونها نیز به سطح کشیده می‌شوند (الکترونهای اقلیتی که در ماده P وجود دارند) و با افزایش بیشتر ولتاژ V، ضمن متوقف شدن گسترش پهنای ناحیه تخلیه (پهنای ناحیه تخلیه به بیشینه ای می رسد و سپس متوقف می شود)، چگالی الکترونها افزایش می‌یابد. افزایش چگالی الکترونها که دقیقاً در زیر

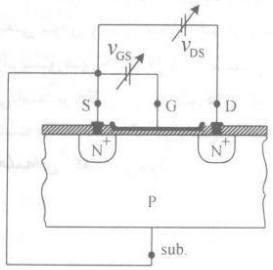
1- Accumulation
2- Depletion

عایق گیت و در درون نیمه‌رسانا صورت می‌گیرد، به تشکیل یک لایه از الکترون منجر می‌شود. با تشکیل این لایه در واقع سطح نیمه‌رسانا که قبلاً حفره فراوان داشت، از حفره خالی و پر از الکترون می‌شود. یعنی نوع حاملها در سطح از حفره به الکترون تبدیل می‌گردد، گویند سطح وارونه شده است. به پیدایش چنین لایهٔ وارونه‌ای در این ساختار **وارونگی**[1] گفته می‌شود.

بنابراین مشاهده می‌گردد که با توجه به جهت و مقدار ولتاژ V سه حالت انباشتگی، تخلیه و وارونگی در درون نیمه‌رسانا تشکیل می‌گردد که از بین آنها تشکیل لایه وارونه از اهمیت ویژه‌ای در ترانزیستورهای MOS برخوردار است. در ادامه با اضافه کردن مناطق سورس و درین به این ساختار، وضعیت MOS با وجود این نواحی مورد بررسی قرار می‌گیرد.

۹.۳ طرز کار ترانزیستور MOS

اینک که اثر ولتاژ گیت MOS بر نیمه‌رسانا تا حدی روشن شد، مناسب است که نحوهٔ برقراری جریان در ترانزیستور MOS مورد مطالعه قرار گیرد. شکل ۵-۹ ساختار ساده یک MOS با زیر بنا P و سورس و درین N^+ را نشان می‌دهد. مشابه JFET، ولتاژ v_{DS} با جهت مناسب به درین N^+ وارد شده است. با $v_{GS} = 0$ و v_{DS}های مختلف، به دلیل اینکه از سورس تا درین دو دیود سری پشت به پشت N^+P و PN^+ وجود دارد، جریان نمی‌تواند بین سورس و درین برقرار باشد. یعنی در این حالت جریان قطعه صفر است.



شکل ۵-۹ ساختار ساده یک ترانزیستور MOS که ولتاژهای $v_{GS} \neq 0$ و $v_{DS} > 0$ به آن اعمال شده است.

اگر v_{GS} مقدار غیر صفر داشته باشد، طبق آنچه برای خازن MOS گفتیم، به ازای v_{GS} منفی حفره‌ها به سطح نیمه رسانا کشیده می شوند و در واقع چگالی آنها در سطح افزایش می‌یابد، در این حالت که به انباشتگی حفره‌ها موسوم است نیز جریان درین همچنان صفر باقی می‌ماند. زیرا تنها کاری که انجام گرفته است، افزایش حفره‌ها در فاصله بین سورس و درین است و این نمی‌تواند موجب برقراری جریان درین گردد. اما اگر v_{GS} بزرگتر از صفر و به اندازه کافی بزرگ باشد، ممکن است موجب وارونگی سطح نیمه‌رسانا گردد، یعنی نیمه‌رسانای P در سطح و در فاصلهٔ بین سورس و درین، فاقد حفره و مملو از الکترون گردد. با وجود چنین لایهٔ وارونه‌ای، و با حضور v_{DS}، جریان

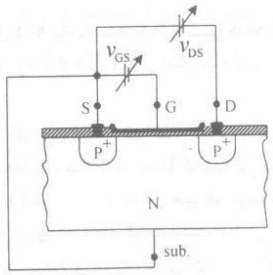
1- Inversion

می‌تواند بین سورس و درین برقرار گردد. بنابراین مشاهده می‌شود که در این ساختار هنگامی جریان درین برقرار می‌شود که حاملهای بار بین سورس و درین، از حفره به الکترون تبدیل گردد. این لایه وارونه که جریان درین و سورس از درون آن می‌گذرد به کانال موسوم است (سورس و درین N^+ توسط یک کانال N بهم متصل شده اند و ساختار N^+PN^+ به N^+NN^+ تبدیل شده است). بنابراین تشکیل کانال برای انتقال جریان ضروری است. به ولتاژ v_{GS} که به ازای آن، این کانال تشکیل می‌گردد، ولتاژ ***آستانه***[1] گویند و معمولاً با V_T نشان می‌دهند.

V_T یکی از پارامترهای بسیار مهم ترانزیستورهای MOS است. ترانزیستوری که کانال آن پس از وارونگی، N باشد، به ترانزیستور NMOS معروف است. بنابراین طبق شکل ۵-۹، نام‌گذاری براساس جنس کانالی است که پس از وارونگی شکل می‌گیرد. در این ترانزیستور برای برقراری جریان لازم است کانال N تشکیل شود و سورس و درین از طریق این کانال به هم متصل گردند تا با وجود v_{DS} جریانی بین سورس و درین ایجاد شود.

اما اگر زیر بنا از جنس N و سورس و درین از جنس P باشند، طبق شکل ۶-۹ لازم است ولتاژی به گیت اعمال گردد تا سطح از N به P تبدیل شود. زیرا سورس و درین از نوع P تنها می‌تواند از طریق یک کانال P در حضور v_{DS} جریان درین ایجاد کند. به ترانزیستوری که کانال آن پس از وارونگی P است، ترانزیستور PMOS گفته می‌شود.

با توجه به نکات فوق انتظار داریم که ولتاژ آستانه ترانزیستور NMOS مثبت ($V_T > 0$) باشد. زیرا با $v_{GS} = V_T$ می‌توان الکترون‌ها را به سطح نیمه‌رسانا آورد. اما در ترانزیستور PMOS ، ولتاژ آستانه منفی است زیرا با این ولتاژ باید حفرهٔ کافی به سطح آورده شود. البته بسته به مثبت یا منفی بودن ولتاژ آستانه هر ترانزیستور، اسامی خاصی نیز برای MOS انتخاب می‌شود. ترانزیستورهای NMOS با V_T مثبت و PMOS با V_T منفی را ترانزیستورهای MOS ***افزایشی***[2] می‌نامند. بر عکس، ترانزیستورهایی که در آنها NMOS ولتاژ آستانهٔ منفی و PMOS ولتاژ آستانه مثبت داشته باشد، که در بخشهای بعدی در مورد آنها صحبت خواهیم کرد، ترانزیستورهای MOS ***تخلیه‌ای***[3] گفته می‌شود.

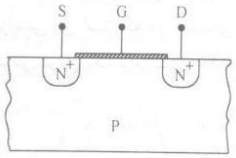


شکل ۶-۹ ساختار یک ترانزیستور PMOS که ولتاژها با جهت مناسب اعمال شده‌اند.

1- Threshold Voltage
2- Enhancement
3- Depletion

۹.۴ ولتاژ آستانه

ولتاژ آستانه در واقع حداقل ولتاژی است (در مورد ترانزیستور PMOS قدر مطلق آن مورد نظر است) که باید به گیت MOS وارد شود تا سطح نیمه‌رسانای آن وارونه شده و کانال تشکیل گردد. به عنوان مثال در شکل۷-۹ ، برای برقراری جریان بین سورس و درین لازم است تا ناحیه بین آنها به یک کانال N تبدیل گردد و گرنه حتی با اعمال v_{DS} نیزجریان صفر خواهد بود (البته اگر کمتر از ولتاژ شکست آن پیوند باشد).



شکل ۷-۹ ساختار یک ترانزیستور NMOS که برای تشریح ولتاژ آستانه بکار گرفته شده است.

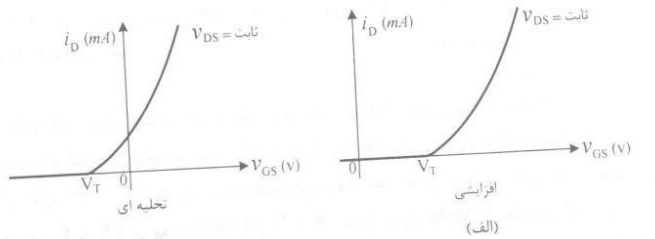
آنچه مقدار ولتاژ آستانه را برای یک ترانزیستور MOS تعیین می‌کند متنوع است. ولتاژ آستانه به جنس فلز گیت، ضخامت و جنس اکسید نازک و بارهای درون آن و چگالی ناخالصی زیر بناء بستگی دارد. اگر با توجه به این پارامترها، سطح نیمه‌رسانا به خودی خود(یعنی بدون اعمال ولتاژ خارجی) از P به N (در مورد PMOS از N به P) تبدیل شود، MOS را تخلیه‌ای گویند و این بدان معنی است که بدون اعمال ولتاژ خارجی، کانال N برای هدایت جریان ترانزیستور NMOS وجود دارد. اما اگر ولتاژ آستانه به اندازهٔ کافی بزرگتر از صفر (برای NMOS یا کوچکتر از صفر برای PMOS) باشد، یعنی باید ولتاژی در حد آستانه به گیت MOS داده شود تا کانال برقرار گردد وگرنه کانال عبور جریان وجود نخواهد داشت. به اینگونه ترانزیستورهای MOS همانطوریکه قبلاً نیز اشاره شد، افزایشی گفته می‌شود.

مقدار ولتاژ آستانه ترانزیستورهای MOS متفاوت است که می‌تواند هر مقداری داشته باشد ولی معمولاً برای ترانزیستورهای افزایشی NMOS در حدود ۱+ ولت و برای ترانزیستورهای افزایشی PMOS در حدود ۱- ولت است. ولتاژ آستانه معمولاً با V_T نشان داده می‌شود. البته باید دقت کرد که در روابط پیوندهای PN ، این ولتاژ با ولتاژ حرارتی $V_T = KT/q$ اشتباه نشود. هر جا که این دو پارامتر با هم ظاهر شوند، ولتاژ حرارتی را با V_t نشان خواهیم داد. در غیر اینصورت طبق آنچه تا کنون گفته شد از آنها استفاده خواهیم کرد.

تمرین: منحنی جریان درین بر حسب ولتاژ گیت را برای هر یک از دو ترانزیستور NMOS و PMOS و در دو مد افزایشی و تخلیه‌ای ترسیم کنید.

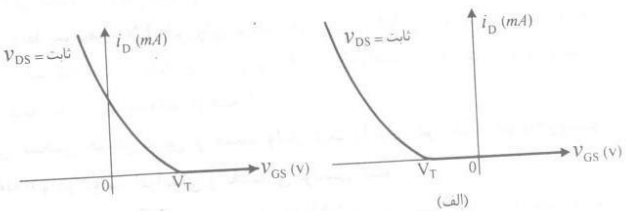
حل: ابتدا برای NMOS انجام می‌دهیم. اگر NMOS افزایشی باشد یعنی V_T مثبت است. بنابراین به ازای $v_{GS} < V_T$ کانال تشکیل نمی‌شود و جریان درین صفر خواهد بود (در عمل به وارونگی که

به ازای $v_{GS} = V_T$ تشکیل می‌شود، وارونگی شدید گفته می‌شود. در ترانزیستور حالت وارونگی ملایم و همچنین وارونگی زیر آستانه نیز وجود دارد که از بحث این کتاب خارج است. در این کتاب، اگر ولتاژ گیت به V_T نرسد، ترانزیستور MOS قطع خواهد بود. اما اگر $v_{GS} > V_T$ باشد، کانال تشکیل و با وجود v_{DS} مناسب، جریان درین جاری خواهد شد. شکل ت۱ الف منحنی جریان درین یک ترانزیستور MOS افزایشی برحسب ولتاژ گیت را نشان می‌دهد. اگر ترانزیستور تخلیه‌ای باشد، V_Tمنفی خواهد بود که باز اگر $v_{GS} < V_T$باشد جریان قطع خواهد بود و به ازای $v_{GS} \geq V_T$جریان درین با وجود v_{DS} جاری خواهد شد. فرق اساسی ترانزیستور تخلیه‌ای با افزایشی این است که در تخلیه‌ای به ازای $v_{GS} = 0$ نیز جریان وجود دارد. شکل ت۱ ب منحنی جریان درین یک ترانزیستور MOS تخلیه‌ای با ولتاژ گیت را نشان می‌دهد.



شکل ت۱ منحنی جریان یک ترانزیستور NMOS بر حسب v_{GS} الف) افزایشی ب) تخلیه ای.

درمورد ترانزیستور PMOS ، ولتاژ آستانه ترانزیستور افزایشی منفی است در نتیجه v_{GS}نیز باید منفی باشد. اگر $|v_{GS}| < |V_T|$باشد جریان صفر خواهد بود. برای $|v_{GS}| > |V_T|$ ، شبیه ترانزیستور NMOS جریان خواهیم داشت. بنابراین طبق شکل ت۲ الف به ازای ولتاژهای منفی کوچکتر از V_T جریان وجود دارد. اما در ترانزیستور PMOS تخلیه ای، ولتاژ آستانه مثبت است و جریان به ازای v_{GS} های کوچکتر از V_Tطبق شکل ت۲ ب وجود خواهد داشت. نظیر ترانزیستور NMOS تخلیه‌ای، به ازای $v_{GS} = 0$جریان از ترانزیستور می‌گذرد.

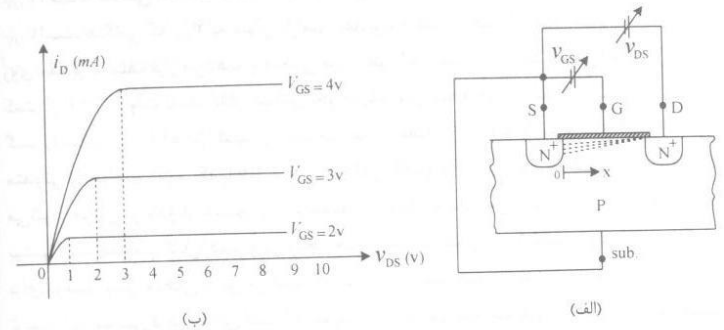


شکل ت۲ منحنی جریان یک ترانزیستورPMOS بر حسب v_{GS} الف) افزایشی ب) تخلیه ای.

۹.۵ منحنی مشخصه ترانزیستور MOS

پس از تشریح طرز کار ترانزیستور MOS ، مشابه دیگر افزاره‌ها، درک اصولی با ترسیم نقطه به نقطه منحنی مشخصه $i(v)$ قطعه بدست می‌آید. لذا یک ترانزیستور NMOS افزایشی با $V_T = 1$ ولت را در نظر می‌گیریم و سپس با اعمال v_{GS} و v_{DS} های مختلف، جریان درین را بر حسب v_{DS} ، مشابه منحنی مشخصه JFET ترسیم می‌کنیم. منحنی متداول، ترسیم i_D بر حسب v_{DS}است، هنگامی که v_{GS} به عنوان پارامتر، مقادیر مختلف را اختیار کند. بنابراین v_{GS} را بر روی مقادیر مختلف قرار می‌دهیم و منحنی مورد نظر را با تغییر v_{DS}ترسیم می‌کنیم. اگر v_{GS} کمتر از $V_T = 1$ ولت باشد، کانال تشکیل نخواهد شد ودر نتیجه جریان صفر است، اما اگر ولتاژ گیت را بیشتر از V_T اختیار کنیم آن وقت متناسب با مقدار v_{GS}، لایهٔ وارونه با چگالی الکترون متفاوتی را خواهیم داشت که با افزایش v_{GS} چگالی الکترونهای آن زیادتر و مقاومت کانال کمتر می‌شود. جریان در واقع از تقسیم v_{DS} بر مقاومت کانال بدست می‌آید. بنابراین هر قدر v_{GS} بیشتر باشد، مقاومت کانال کمتر و در نتیجه جریان به ازای همان v_{DS} بیشتر خواهد شد. اکنون برای ترسیم اولین منحنی فرض می‌کنیم که $v_{GS} = 2$ ولت باشد (البته توجه داشته باشید که در ترسیم این منحنی فرض بر این است که سورس و زیربنا نیز طبق شکل ۸-۹الف به هم متصل باشند و ولتاژ v_{GS} که در واقع ولتاژ بین گیت و سورس است، بین گیت و زیر بنا نیز وجود دارد). حال با تغییر v_{DS}، جریان درین را طبق شکل ۸-۹ ترسیم می‌کنیم. اگر $v_{DS} = 0$ ولت باشد، جریان نیز صفر است. اگر v_{DS} را اندکی افزایش دهیم مثلاً به ۰/۱ولت برسانیم جریان از تقسیم ۰/۱ولت بر مقاومت کانال بدست می‌آید. اگر v_{DS} را دو برابر کنیم، احتمال دارد جریان نیز دو برابر گردد، اما اگر v_{DS} را به ۰/۳ولت برسانیم یعنی سه برابر مقدار اولیه، جریان سه برابر نخواهد شد زیرا با افزایش اختلاف پتانسیل در طول کانال، v_{GX} که x فاصله هر نقطهٔ کانال از سورس است، در طول کانال مساوی نبوده یعنی چگالی الکترونها در طول کانال یکسان نخواهد بود و هر قدر به درین نزدیکتر می‌شویم (مشابه JFET)، v_{GX} کوچکتر و در انتهای طرف درین که به v_{GD} می‌رسد، ضخامت کانال به کمترین مقدار خود خواهد رسید. از این به بعد هر گونه افزایش v_{DS} مازاد بر مقدار قبل، بیشتر در ناحیه پر مقاومت کانال که در انتهای طرف درین است افت خواهد کرد، که موجب کاهش v_{GD} می‌گردد. این عمل با افزایش v_{DS} ادامه می‌یابد و به طوری‌که از روی منحنی شکل ۸-۹ به ازای $v_{GS} = 2$ ولت مشاهده می‌شود، با عبور v_{DS} از ۰/۲ ولت منحنی رفته رفته غیر خطی می‌گردد تا جایی‌که $v_{DS} = 1$ ولت گردد. از این به بعد v_{GD} از یک ولت کمتر می‌گردد یعنی کانال در انتهای طرف درین تشکیل نمی‌شود یعنی طبق شکل ۸-۹ الف، سطح مقطع لایه وارونه به صفر می‌رسد. چون سطح هدایتی کانال در این نقطه صفر شده است، مقاومت اهمی آن بینهایت می‌گردد و از این به بعد هر گونه افزایش ولتاژ مازاد بر یک ولت تماماً در همین منطقه می‌افتد و تنها موجب افزایش شدت میدان در این ناحیه می‌شود تا جریان جاری شده از قسمتهای

ابتدائی کانال، در انتهای کانال با میدان زیاد بـه سـمت درین کشـیده شـود. بـه طوری‌کـه از روی منحنی مشاهده می‌شود، از این نقطه به بعد جریان درین ثابت می‌ماند و جریانی که تا نقطـه صفـر شدن سطح مقطع کانال جاری بود، تقریباً در همان سطح بـاقی می‌مـاند (البتـه مشـابه JFET ، در MOS نیز خواهیم دید که جریان نه تنها با صفر شدن سطح مقطع لایه وارونه صفر نمی‌گردد بلکـه افزایش نیز خواهد یافت).



(ب) (الف)

شکل ۸-۹ الف) ترانزیستور NMOS با مدارهای تأمین گرایش ب) منحنی مشخصه $i_D(v_{DS})$ کـه بـرای v_{GS}هـای مختلف ترسیم شده است.

هنگامی که با افزایش v_{DS}، v_{GD} کاهش یافته و کمـتر از V_T مـی‌گـردد، سـطح مقطـع لایـه وارونه در انتها صفر می‌شودکه بنظر می رسد سطح عبور جریان بسته شده است، به این حالت نظیر آنچه در JFET نامگذاری شد، ***تنگش*** گفته می‌شود، یعنی کانال هدایتی MOS نـیز مشـابه JFET در انتهای طرف درین از بین رفته است.

حال اگـر v_{GS} را از ابتـدا بـه جـای ۲ ، ۳ ولـت انتخـاب می‌کردیـم، لایـه وارونـهٔ چگـال‌تری می‌داشتیم و جریان درین به ازای همان مقادیر v_{DS} ، بیشتر می‌شد. منحنی $v_{GS} = 3$ در شـکل ۸-۹ این حقیقت را نشان می‌دهد. البته این بار با عبور v_{DS} از ۲ ولت است که تنگـش رخ خواهـد داد و همانطوری‌که از روی منحنی دیده می‌شود، جریان i_D بعـد از $v_{DS} = 2$ ولـت تقریبـاً ثـابت می‌ماند. اگر این کار را برای V_{GS}های دیگر تکرار کنیم، منحنی‌هـای خـانوادهٔ خروجـی ترانزیسـتور بدست می‌آید.

هرگاه نقاط تنگش روی منحنی را که به ازای $v_{GD} = V_T$ رخ می‌دهد بهم متصل کنیـم، یـک منحنی سهمی شکل حـاصل می‌شـود کـه مکـان هندسـی نقـاط تنگـش می‌باشـد. ایـن نقطـه بـا $v_{GD} = V_T$ به شکل زیر مشخص می‌شود:

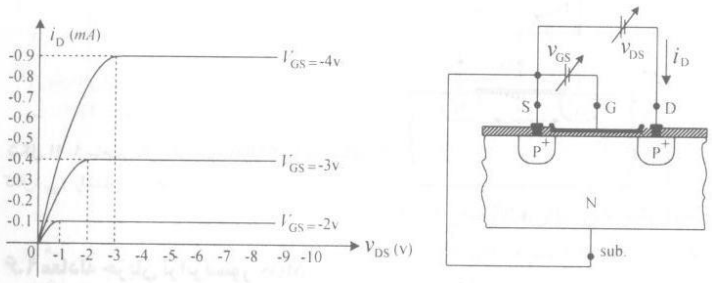
$$v_{GD} = V_T \qquad ۹-۱$$

$$v_{GS} + v_{SD} = V_T \qquad ۹-۲$$

$$v_{DS} = v_{GS} - V_T \qquad ۹-۳$$

MOS از این نظر نیز مشابه JFET است که فقط به جای V_P، V_Tدر رابطه قرار گرفتـه اسـت. در اینجا نیز می‌توان منحنی مشخصه ترانزیستور را بـه دو ناحیـه قبـل از تنگـش و بعـد از تنگـش تقسیم کرد. به ناحیه سمت چپ منحنی سهمی شکل که در آن $v_{DS} \le v_{GS} - V_T$ است ***ناحیـه اهمی*** یا ***تریود*** گفته می‌شود و ناحیه سمت راست آن که با $v_{DS} > v_{GS} - V_T$ مشخص می‌شـود، ***منطقهٔ اشباع*** نام دارد. استفاده از ترانزیستور MOS اغلب در منطقهٔ اشباع صورت می‌گیرد.

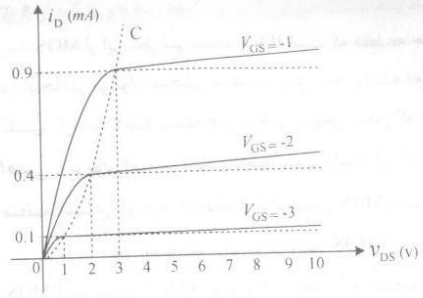
آنچه تا کنون گفته شد برای ترانزیستور NMOS بود. ترسیم منحنی مشخصه برای ترانزیسـتور PMOS نیز مشابه NMOS است با این تفاوت که جـهت ولتـاژ و جریـان طبـق شـکل ۹-۹ عـوض می‌شود. معادله‌های ۹-۱ الی ۹-۳ با داشتن قدر مطلق همچنان برای PMOS نیز صادق است.



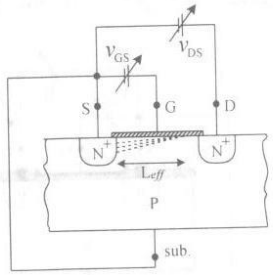
(ب) (الف)

شکل ۹-۹ الف) ساختار PMOS با جهت ولتاژهای اعمال شده ب) منحنی مشخصه $i_D(v_{DS})$ ، که در آن v_{GS}، v_{DS} و i_D همه منفی شده‌اند.

در منحنی‌های شکل ۸-۹ و ۹-۹، منحنی جریان بعـد از تنگـش ثـابت فـرض شـده اسـت، در حالی‌که منحنی دقیقتر هنگامی بدست می‌آید که افزایش جریان با v_{DS} بعد از تنگـش نـیز نشـان داده شود. لذا منحنی واقعی در شکل ۱۰-۹ برای این منظور ترسیم شده است. شکل ۱۰-۹ منحنی واقعی یک ترانزیستور NMOS را نشان می‌دهد. علت افزایش جریان درین بعد از تنگـش بـه دلیـل کاهش طول مؤثر کانال بعد از تنگش است. یعنی افزایش v_{DS} موجب گسترش منطقهٔ تنگـش بـه داخل کانال طبق شکل ۱۱-۹ می‌گردد، که این امر موجب کاهش طول مؤثر کانال L_{eff} می‌گـردد. با کاهش طول کانال، مقاومت کانال کـوچکـتر و در نتیجـه جریـان حـاصل از ایـن منطقـه بیشـتر می‌گردد. بنابراین جریان درین با افزایش v_{DS} طبق منحنی شکل ۱۰-۹ افزایش می‌یابد.



شکل ۱۰-۹ مشخصهٔ واقعی یک ترانزیستور NMOS که علاوه بر نقاط تنگش، افزایش جریان بعد از تنگش را نیز نشان می‌دهد. منحنی های خط چین افقی در واقع ادامهٔ منحنی های مشخصهٔ ترانزیستور در صورت ثابت بودن جریان بعد از تنگش می باشد.



شکل ۱۱-۹ ساختار یک ترانزیستور MOS که طول مؤثر کانال، L_{eff} را نشان می دهد.

۹.۶ معادله جریان ترانزیستور MOS

منحنی $i_D(v_{GS}, v_{DS})$ در واقع وابستگی جریان درین به ولتاژهای v_{GS} و v_{DS} را نشان می دهد. جریان درین به سادگی از تقسیم v_{DS} بر مقاومت اهمی کانال بدست می آید. اما از آنجائیکه مقاومت کانال تابع v_{GS} و v_{DS} است، جریان نیز تابع آنها می‌باشد. منتهی مقاومت کانال تنها قبل از وقوع تنگش معنی دارد و بعد از آن جریان چندان با v_{DS} تغییر نمی‌کند و بیشتر تابع v_{GS} است. لذا معادلهٔ جریان درین ابتدا در ناحیه تریود نوشته می‌شود و سپس مقدارآن در نقطهٔ تنگش تعیین و از آن به بعد فرض می‌شود که همچنان طبق منحنی‌های خط چین شکل ۱۰-۹ بر روی این مقدار ثابت بماند. جریان حاصل از تقسیم v_{DS} بر مقاومت کانال (که یک مقاومت غیرخطی است و تابع v_{GS} و v_{DS} می باشد) پس از یک سری عملیات ریاضی که معمولاً در کتابهای فیزیک الکترونیک محاسبه می شود، به شکل ساده زیر درمی‌آید.

$$i_D = \beta\left[(v_{GS} - V_T)v_{DS} - \frac{v_{DS}^2}{2}\right] \quad , \quad v_{DS} < v_{GS} - V_T \quad , \quad \beta = K'\frac{W}{L} \qquad ۹-۴$$

که به جریان منطقهٔ تریود موسوم است. β (بعضی از مراجع با K نشان می دهند) در واقع میزان جریان دهی ترانزیستور را نشان می‌دهد. هر چه سطح مقطع کانال بزرگتر، طول کانال کوچکتر و اکسید گیت نازکتر باشد، جریان دهی MOS بیشتر یعنی β بزرگتر خواهد بود. همانطوری‌که از روی معادله دیده می‌شود، تأثیر افزایش ولتاژها بر جریان بر خلاف ترانزیستور دو قطبی که اثری نمایی دارد، از درجه دوم است که اثر چندانی ندارد. مقدار β طبق معادلهٔ ۹-۴ به K' و W/L بستگی دارد که K' تابع قابلیت حرکت حاملها در کانال و ضخامت اکسید گیت است و معمولاً در حد چند ده میکرو آمپر بر ولت مربع است. W و L نیز پهنا و طول کانال است، طول کانال در واقع فاصله بین سورس و درین و W عرض کانال است که در شکل ۹-۲ نشان داده شده است.

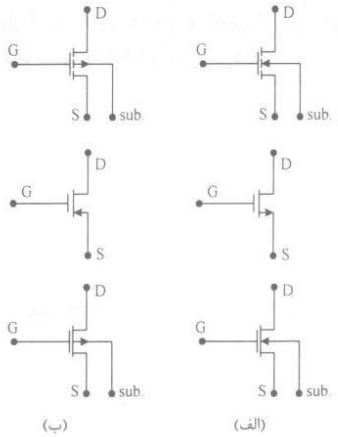
برای تعیین مقدار جریان درین در ناحیه اشباع همانطوری‌که گفته شد، اگر جریان بعد از تنگش را ثابت بگیریم، جریان در نقطهٔ تنگش را می‌توان با قرار دادن $v_{DS} = v_{GS} - V_T$ در معادله ۹-۴ بدست آورد و از آن به بعد ثابت فرض کرد. بنابراین جریان در منطقه اشباع ترانزیستور MOS با رابطه ۹-۵ داده می‌شود.

$$i_{DS} = \frac{\beta}{2}(v_{GS} - V_T)^2 \qquad ۹-۵$$

که با معادله JFET در منطقهٔ اشباع شباهت دارد. اگر بخواهیم اثر افزایش v_{DS} بر جریان درین را در نظر بگیریم، باید رابطه ۹-۵ را در ضریب $(1 + \lambda v_{DS})$ ضرب کنیم. λ همچنان که در JFET نیز اشاره شد، مشابه عکس ولتاژ ارلی است که برای ترانزیستور دو قطبی تعریف گردید.

۹.۷ نماد الکتریکی ترانزیستورهای MOS

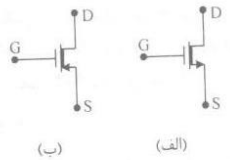
ترانزیستورهای MOS با نمادهای مختلف نمایش داده می‌شوند. ابتدا می‌توان آنها را به دو دستهٔ از پیش گفتهٔ افزایشی و تخلیه‌ای تقسیم کرد که افزایشی‌ها را به شکل ۱۲-۹ نشان می‌دهند. شکل ۱۲-۹ الف برای NMOS و ۱۲-۹ب برای ترانزیستور PMOS است.



شکل ۱۲-۹ نماد الکتریکی ترانزیستور MOS
الف) NMOS افزایشی با فلش روی زیر بنا یا سورس
ب) PMOS با فلش روی زیر بنا یا سورس

در هر کدام از این نمادها، نوع ترانزیستور با گذاشتن فلش بر روی سورس یا زیر بنا آن مشخص می‌شود. انتخاب جهت فلش مشابه ترانزیستورهای دو قطبی است. به عنوان مثال جهت فلش سورس در ترانزیستور PMOS به سمت داخل، در حالی‌که در همان ترانزیستور اگر بخواهیم فلش را بر روی زیر بنا قرار دهیم، به سمت خارج خواهد بود زیرا جنس زیر بنا همیشه مخالف جنس سورس است.

برای نشان دادن ترانزیستور MOS تخلیه‌ای از نماد شکل ۱۳-۹ استفاده می‌شود، که در آن خط واصل بین درین و سورس قدری ضخیم‌تر ترسیم می‌شود که در واقع وجود لایه وارونه قبل از اعمال ولتاژ را نشان می‌دهد.



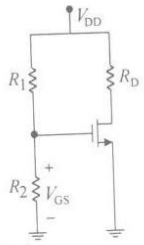
(ب) (الف)

شکل ۱۳-۹ نماد الکتریکی ترانزیستور MOS تخلیه‌ای الف) NMOS ب) PMOS که در هر دو خط واصل بین درین و سورس ضخیم‌تر ترسیم شده است.

البته برای نشان دادن MOS نمادهای متفاوتی استفاده شده است که شکلهای ارائه شده، از پرکاربردترین آنها است.

۹.۸ تأمین گرایش ترانزیستورهای MOS

در اغلب کاربردهای ترانزیستور MOS، ترانزیستورهای افزایشی بیش ازتخلیه‌ای استفاده می‌شوند. بنابراین تأمین گرایش در این نوع ترانزیستورها مورد نظر است مگر اینکه تخلیه‌ای بودن آنها ذکر شود. در ترانزیستور MOS ، علامت ولتاژ v_{GS} و v_{DS} یکسان است، در نتیجه به سادگی می‌توان از یک منبع تغذیه برای تأمین گرایش ترانزیستور استفاده کرد. شکل ۱۴-۹ تأمین گرایش یک ترانزیستور NMOS را نشان می‌دهد.



شکل ۱۴-۹ مدار سادهٔ تأمین گرایش یک ترانزیستور NMOS

محاسبه مقدار V_{GS} در این مدار بسیار ساده است، به ویژه اینکه جریان گیت صفر است و مستقیماً از روی تقسیم ولتاژ بدست می‌آید.

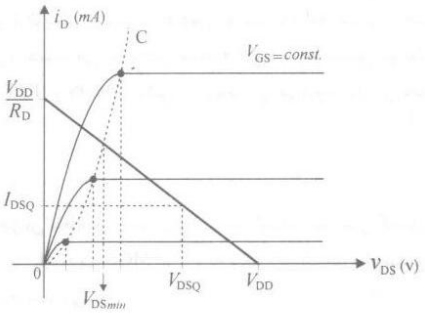
$$V_{GS} = \frac{V_{DD} R_2}{R_1 + R_2} \qquad ۹-۶$$

تعیین ولتاژ و جریان نقطهٔ کار، همانند تعیین نقطهٔ کار در ترانزیستورهای دو قطبی، با ترسیم خط بارها صورت می‌گیرد. معادلهٔ خط بار DC در این مدار به شکل زیر است.

$$V_{DD} = i_D R_D + v_{DS} \qquad ۹-۷$$

از ترسیم این معادله بر روی منحنی خروجی MOS ، طبق شکل ۱۵-۹، بهترین نقطهٔ‌کار را می‌توان تعیین نمود. البته باید توجه کنیم که نقطهٔ کار در منطقهٔ اشباع ترانزیستور انتخاب شود. بهترین نقطهٔ‌کار نیز باید طوری انتخاب شود که به ازای بیشینه تغییرات v_{DS}، منطقهٔ کار از ناحیه اشباع خارج نشود یعنی همیشه باید $v_{DS} > v_{GS} - V_T$ باشد. بنابراین بهترین نقطهٔ کار در جایی است که V_{DSQ} بین $V_{DS\min}$ و V_{DD} قرار گیرد یعنی:

$$V_{DSQ} = \frac{V_{DD} + V_{DS\min}}{2} \qquad ۹-۸$$



شکل ۱۵-۹ منحنی مشخصه ترانزیستور MOS با رسم خط بار DC و تعیین نقطهٔ کار

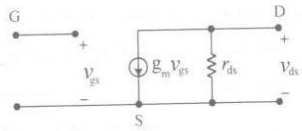
با قرار دان V_{DSQ} در رابطه ۷-۹ جریان نقطه کار بدست می‌آید:

$$I_{DSQ} = \frac{V_{DD} - V_{DS\min}}{2R_D} \qquad ۹-۹$$

که با معلوم بودن $V_{DS_{min}}$ که از روی منحنی خوانده می شود، V_{DSQ} و I_{DSQ} بدست می آیند.
رسم خط بارac و چگونگی تعیین نقطهٔ کار بر روی آن نیز مشابه مراحلی است که برای ترانزیستور دو قطبی مطرح شد و از تکرار آن خودداری می‌شود.

۹.۹ چگونگی تقویت در ترانزیستور MOS

نحوهٔ تقویت دامنهٔ سیگنال در ترانزیستورهای MOS بسیار مشابه JFET است. معمولاً برای تعریف پارامترهای مختلف این ترانزیستور که از خانواده ترانزیستورهای با اثر میدانی است، از همان نمادهایی استفاده می‌شود که برای JFET استفاده شد. مدار معادل سیگنال کوچک ترانزیستور MOS دقیقاً مشابه مدار معادل JFET است زیرا جریان درین MOS نیز طبق معادلهٔ ۲۷و۲۶-۸ تعریف می‌شود. بنابراین مدار معادل ترانزیستور MOS نیز مثل شکل ۱۲-۸ است که برای سادگی در شکل ۱۶-۹ نیز ترسیم می‌شود.



شکل ۱۶-۹ مدار معادل ترانزیستور MOS در فرکانسهای پایین.

همانگونه که مشاهده می‌شود، حتی نام‌گذاری پارامترهای مختلف نیز مشابه است. r_{ds} که در واقع شیب منحنی‌های ترانزیستور است نیز به همان ترتیب با ادامهٔ شیب منحنی و تعیین محل تقاطع آن با محور v_{DS} بدست می‌آید. محل تقاطع که در ترانزیستور دو قطبی با ولتاژ ارلی مشخص شده بود، در JFET و MOS با عکس λ نامگذاری می‌شود، بنابراین مقدار r_{ds} با رابطه زیر بدست می‌آید.

$$r_{ds} = \frac{1}{\lambda I_{DS}} \qquad ۹\text{-}۱۰$$

که در آن I_{DS} جریان نقطهٔ‌کار است. g_m نیز بر اساس تعریفی که در بخش ۶-۸ انجام گرفت، هدایت انتقالی یا ترارسانایی MOS است و به شکل زیر برای ترانزیستور MOS در منطقهٔ اشباع و در نقطهٔ کار محاسبه می‌شود.

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{DS}=const.}$$

$$g_m = \beta(V_{GS} - V_T) = \sqrt{2\beta I_{DS}} \qquad ۹\text{-}۱۱$$

مشابه JFET می‌توان نشان داد که $\mu = g_m r_{ds}$ است.

بنابراین در کل مشاهده می‌شود که ترانزیستور MOS مشابه JFET قابلیت تقویت سیگنال را دارد و برای درک چگونگی تقویت این ترانزیستور به مطالب گفته شده در نحوهٔ تقویت JFET مراجعه نمائید و نیاز به تکرار آن در این قسمت نیست. حد سیگنال کوچک نیز مشابه بخش ۸.۷ برای ترانزیستور MOS محاسبه می‌شود. با در نظر گرفتن $v_{GS} = V_{GS} + v_{gs}$ و استفاده از معادله ۵-۹ خواهیم داشت:

$$i_D = \frac{\beta}{2}(V_{GS} - V_T)^2 + \beta(V_{GS} - V_T)v_{gs} + \frac{\beta}{2}v_{gs}^2 \qquad ۹\text{-}۱۲$$

که قسمت ac جریان درین برابر است با:

$$i_d = g_m v_{gs} + \frac{\beta}{2}v_{gs}^2 \qquad ۹\text{-}۱۳$$

و برای اینکه رابطه خطی باشد لازم است تا جملهٔ دوم خیلی کوچکتر از جملهٔ اول باشد یعنی:

$$v_{gs} << 2g_m/\beta \qquad ۹\text{-}۱۴$$

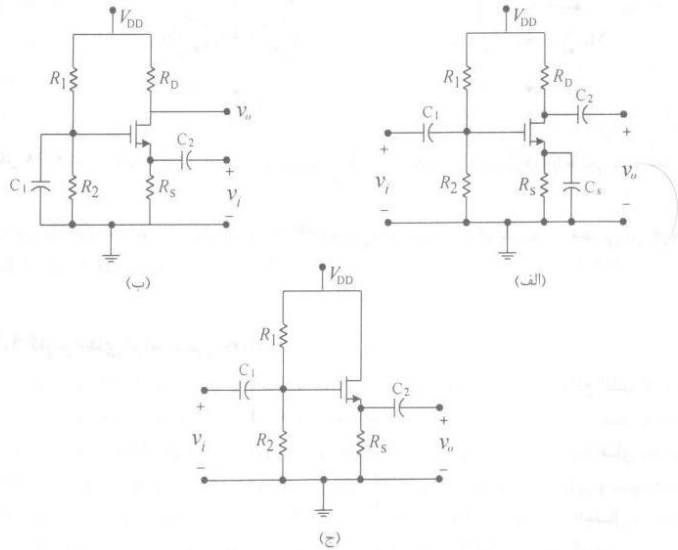
یا:

$$v_{gs} << 2(V_{GS} - V_T) \qquad ۹\text{-}۱۵$$

اگر این شرط برآورده شود، $i_d = g_m v_{gs}$ خواهد بود که رابطه خطی بین i_d و v_{gs} برقرار شده است.

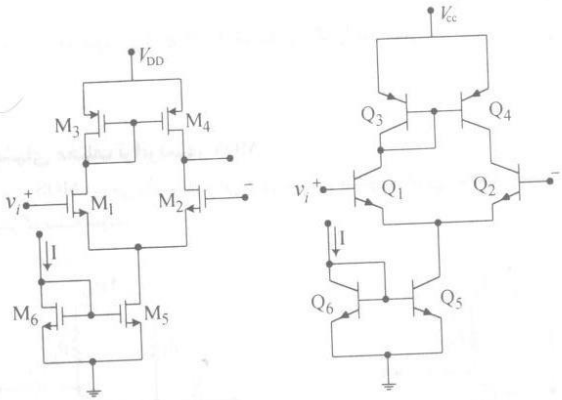
۹.۱۰ آرایشهای مختلف ترانزیستور MOS

ترانزیستورهای MOS نیز می‌توانند به شکل های سورس مشترک، درین مشترک (سورس پیرو) و یا گیت مشترک بسته شوند.



شکل ۱۷-۹ تقویت کننده‌های MOS با گرایش مختلف الف) سورس مشترک ب) گیت مشترک ج) درین مشترک.

از آنجایی‌که مدار معادل MOS کاملاً مشابه JFET است، بنابراین رابطه بهرهٔ ولتاژ، مقاومت ورودی و مقاومت خروجی این مدار مشابه مدارهای همنام با JFET خواهد بود و برای جلوگیری از تکرار مطالب در این فصل محاسبه نمی‌شوند. بکارگیری ترانزیستورهای MOS در مدار بسیار مشابه ترانزیستور دو قطبی است و این تشابه آنقدر زیاد است که اگر یک مدار متشکل از چند ترانزیستور دو قطبی را با MOS باز سازی کنیم، به نظر می‌رسد که طراح به جای هر ترانزیستور دو قطبی یک ترانزیستور MOS قرار داده است. به عنوان مثال به دو مدار تقویت کنندهٔ شکل ۱۸-۹ توجه کنید که یکی با ترانزیستور دو قطبی و دیگری با ترانزیستور MOS طراحی شده است.



شکل ۱۸-۹ مدار دو تقویت کنندهٔ که یکی با ترانزیستور دو قطبی و دیگری با ترانزیستور MOS طراحی شده است.

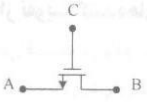
بنابراین ملاحظه می‌شود که ترانزیستور MOS نیز می‌تواند مشابه ترانزیستور دوقطبی در تقویت سیگنال بکار گرفته شود.

۹.۱۱ کاربردهای ترانزیستور MOS

ترانزیستور MOS نیز مشابه دیگر ترانزیستورها، کاربردهای فراوانی دارد. در واقع اغلب کارهایی که با ترانزیستورهای دو قطبی و JFET انجام می‌شود با این ترانزیستور نیز قابل اجرا است. به علاوه به دلیل پیشرفت تکنولوژی MOS ، امروزه بیشتر از این ترانزیستور در سطح مدارهای مجتمع استفاده می‌شود. مهمترین کاربرد ترانزیستورهای MOS در مدارهای دیجیتالی و سوئیچینگ (کلیدزنی) است. امروزه مصرف ترانزیستور MOS در مدارهای آنالوگ و مخلوط دیجیتال و آنالوگ نیز رو به فزونی است. در ادامه به بعضی از کاربردهای ترانزیستور MOS اشاره می‌کنیم.

۹.۱۱.۱ کاربردهای دیجیتالی و کلید زنی

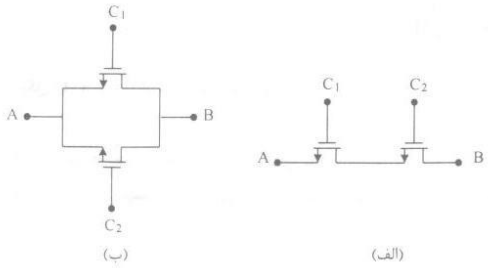
ترانزیستور MOS به دلیل اینکه جریان گیت آن صفر است و گیت نسبت به قسمتهای دیگر ترانزیستور عایق می‌باشد، وسیله کنترلی بسیار مناسبی است. به خصوص نوع افزایشی آن که به یک ولتاژ آستانه برای هدایت نیاز دارد. در اغلب کاربردهای کلیدزنی یا دیجیتالی، کلید ایده‌ال مورد نظر است. کلید ایده‌ال به کلیدی گفته می‌شود که هنگام وصل، مقاومت صفر و هنگامی که باز است مقاومت بینهایت داشته باشد. از نظر سرعت نیز در کلید خواسته‌هایی وجود دارد که اساساً از بحث این کتاب خارج است، لذا اینجا بیشتر از دید فرکانس پایین مورد بررسی قرار می‌گیرد. شکل ۱۹-۹ استفاده از یک ترانزیستور MOS به عنوان کلید را نشان می‌دهد، که قرار است نقطهٔ A را به B وصل کند.



شکل ۱۹-۹ یک کلید ساده MOS.

غیر از مقاومت کلید، نحوهٔ کنترل یعنی روش قطع و وصل کلید اهمیت به سزایی دارد. ترانزیستور MOS از این نظر ایده‌ال است زیرا وضعیت کلید، با پایانه گیت که نسبت به کانال ایزوله است کنترل می‌شود. سیگنال کنترل در شکل ۱۹-۹ به پایهٔ C اعمال می‌گردد. اگر ترانزیستور از نوع NMOS باشد، با اعمال ولتاژ کنترلی بزرگتر از ولتاژ آستانه ($V_{GS} > V_T$) ترانزیستور وصل می‌شود و جریان بین A و B برقرار می‌گردد. اما اگر ولتاژ کنترلی کوچکتر از V_T باشد، ترانزیستور قطع و مدار بین دو نقطه A و B باز می‌شود. البته در عمل مقاومت کلید به ابعاد آن بستگی دارد، اما اگر واقعاً بخواهیم مقاومت کلید در حالت وصل کوچک باشد، باید با انتخاب مناسب ابعاد، کلید با مقاومت کم بسازیم. البته با تغییر مقدار ولتاژ گیت نیز می‌توان مقاومت کانال را تغییر داد.

کلید MOS به راحتی می‌تواند برای اجرای عملیات جبر بول بکار گرفته شود. مثلاً برای انجام ضرب یا جمع منطقی می‌توان کلیدهای MOS را طبق شکل ۲۰-۹ به طور سری یا موازی قرار داد.



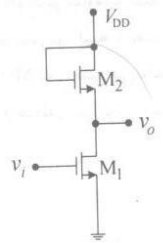
شکل ۲۰-۹ اجرای عملیات منطقی الف) OR و ب) AND.

در شکل ۲۰-۹الف هنگامی سیگنال نقطهٔ A به B می‌رسد که C_1 و C_2 هر دو ولتاژ بالا داشته باشند به طوری‌که هر دو کلید وصل شود. در شکل ۲۰-۹ب اگر هر کدام از سیگنالهای کنترلی C_1 و C_2 ولتاژ بالا داشته باشند، سیگنال نقطهٔ A به B خواهد رسید. ملاحظه می‌شود که نقش کلید MOS در تحقق جبر بول بسیار با اهمیت است و به همین دلیل رشد قابل توجهی نیز از این جهت داشته است.

کاربرد MOS در مدارهای دیجیتالی بسیار متنوع است، منتهی هدف ما در این کتاب بیان مطالب پایه‌ای در ارتباط با فیزیک و کاربردهای اولیهٔ MOS است و می‌خواهیم با کسب مطالب این کتاب، بکارگیری این افزاره‌ها در دروسی دیگر برای خواننده آسانتر گردد.

۹.۱۱.۲ تعدادی از تقویت کننده‌های ترانزیستور MOS

هدف از بیان این قسمت در واقع آشنایی با مدارهای مختلف ترانزیستور MOS است. تعدادی از مدارهای تقویت کننده با آرایشهای مختلف در بخش ۹.۱۰ مطرح شد و از آنجایی‌که تحلیل آن مدارها تا حد زیادی نظیر مدارهای JFET بود، خوانندگان را به مطالعه فصل هشت رجوع دادیم. در این قسمت تقویت کننده‌های خاص خانواده MOS مطرح می‌شود که اغلب در مدارهای مجتمع کاربرد دارند. در تقویت کننده‌های MOS معمولاً به جای مقاومت R_D از ترانزیستور MOS دیگری به عنوان مقاومت بار استفاده می‌شود. شکل ۲۱-۹ یکی از این مدارها را نشان می‌دهد. به چنین مداری، تقویت کنندهٔ با ***بار اشباع***[1] گفته می‌شود، زیرا در ترانزیستوری که $v_{GD} = 0$ باشد، ترانزیستور حتماً در منطقهٔ اشباع خود خواهد بود. چون که با $v_{GD} = 0$، $v_{GS} = v_{DS}$ و در نتیجه شرط $v_{DS} > v_{GS} - V_T$ همیشه برقرار می‌باشد.

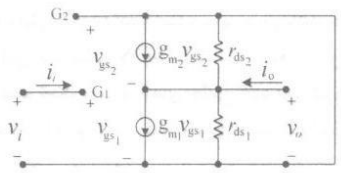


شکل ۲۱-۹ تقویت کنندهٔ MOS با بار اشباع.

در شکل ۲۱-۹ ، تنها قسمتهای مؤثر در سیگنال ac ترسیم شده‌اند و از ترسیم مدارتأمین گرایش خودداری شده است. جهت تمرین، بهرهٔ ولتاژ، مقاومت ورودی و مقاومت خروجی این مدار

1- Saturated Load

را محاسبه می‌کنیم. برای محاسبه هر یک از پارمترهای فوق، بهتر است ابتدا مدار معادل شکل ۲۱-۹ را ترسیم کنیم.



شکل ۲۲-۹ مدار معادل شکل ۲۱-۹.

بهرهٔ ولتاژ به شکل زیر محاسبه می‌شود.

$$v_{gs1} = v_i$$

$$v_o = (g_{m2}v_{gs2} - g_m v_{gs1})(r_{ds1} \| \; r_{ds2})$$

$$v_{gs2} = -v_o$$

در نتیجه:

$$v_o = (-g_{m2}v_o - g_{m1}v_i)\left(\frac{1}{g_{ds1} + g_{ds2}}\right)$$

$$A_v = \frac{v_o}{v_i} = \frac{-g_{m1}}{g_{ds1} + g_{ds2} + g_{m2}}$$

با احتساب اینکه g_{m2} معمولاً بزرگتر از g_{ds} است.

$$A_v = -\frac{g_{m1}}{g_{m2}}$$

با توجه به رابطهٔ ۱۱-۹، بهرهٔ ولتاژ بر حسب β ترانزیستور و سپس با استفاده از رابطه ۴-۹ ، بر حسب ابعاد ترانزیستور بدست می‌آید.

$$A_v = -\frac{\sqrt{2\beta_1 I_{DS}}}{\sqrt{2\beta_2 I_{DS}}}$$

چون دو ترانزیستور سری هستند، جریان نقطهٔ کار آنها باهم برابر است:

$$A_v = -\sqrt{\frac{\beta_1}{\beta_2}} = -\sqrt{\frac{(W\ L)_1}{(W\ L)_2}}$$

این رابطه نشان می‌دهد که لازمهٔ داشتن بهره این است که نسبت ابعاد W/L ترانزیستور M_1 بزرگتر از نسبت ابعاد W/L ترانزیستور M_2 باشد. یعنی ترانزیستور M_1 که تعیین کنندهٔ جریان است باید جریان دهی بیشتر از M_2 که بار است داشته باشد.

مقاومت ورودی از دید v_i به دلیل اینکه i_i صفر است، بینهایت می‌باشد. مقاومت ورودی بینهایت در فرکانس پایین، یکی از مزایای ترانزیستور MOS است. البته بسته به نوع مدار تأمین گرایش، مقاومت ورودی این مدار می‌تواند تحت تأثیر مدارهای جانبی خود قرار گیرد.

مقاومت خروجی نیز طبق معمول با صفر کردن منبع ورودی بدست می‌آید:

$$R_o = \frac{v_o}{i_o}\Big|_{v_i=0}$$

با صفر کردن v_i، منبع وابسته $g_{m1}v_{gs1}$ حذف می‌شود و جریان خروجی برابر است با:

$$i_o = (g_{ds1} + g_{ds2})v_o - g_{m2}v_{gs2}$$

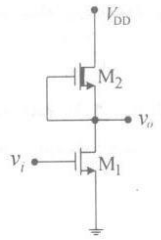
با توجه به اینکه $v_{gs2} = -v_o$، مقاومت خروجی بدست می‌آید:

$$g_o = \frac{1}{R_o} = \frac{i_o}{v_o} = g_{ds1} + g_{ds2} + g_{m2}$$

با آنچه قبلاً نیز گفته شد که g_{m2} عموماً بیشتر از g_{ds} است.

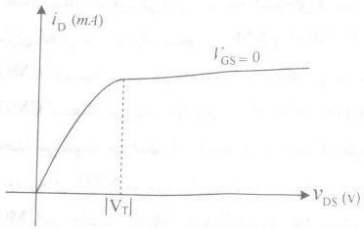
$$R_o \cong \frac{1}{g_{m2}}$$

در تقویت کنندهٔ MOS، ترانزیستور بار را می‌توان طبق شکل ۲۳-۹ در نظر گرفت. در این شکل ترانزیستور بار M_2 از نوع تخلیه‌ای می‌باشد و به همین دلیل خط واصل بین سورس و دریـن ضخیم تر ترسیم شده است.



شکل ۲۳-۹ تقویت کنندهٔ با بار تخلیه‌ای. در این مدار نیز از ترسیم مدار تأمین گرایش خودداری شده است.

از آنجائیکه ترانزیستور بار از نوع تخلیه ای است، گیت و سورس آن را می‌توان به هم متصل کرد. با این اتصال کوتاه، $v_{GS} = 0$ شده و ترانزیستور به یک منبع جریان تبدیل می‌شود. با توجه به منحنی ترانزیستور MOS به ازای $v_{GS} = 0$ در شکل ۲۴-۹، برای اینکه ترانزیستور نقش یک منبع جریان خوب را داشته باشد باید سعی کنیم که شرط $v_{DS} > |V_T|$ باشد تا ترانزیستور بار در قسمت تخت منحنی خود کار کند.



شکل ۲۴-۹ منحنی مشخصهٔ یک ترانزیستور MOS تخلیه‌ای که تنها به ازای $v_{GS} = 0$ ترسیم شده است.

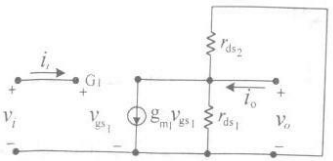
به این ترتیب انتظار داریم که با توجه به مقاومت بزرگ ترانزیستور بار M_2 که در واقع یک منبع جریان است، بهرهٔ ولتاژ این مدار بیشتر از مدار شکل ۲۱-۹ باشد که بار اشباع دارد.

برای محاسبهٔ بهرهٔ ولتاژ، مدار معادل شکل ۲۳-۹ را طبق شکل ۲۵-۹ ترسیم می‌کنیم. در این شکل همانطوری‌که ملاحظه می‌شود به دلیل صفر بودن v_{gs2}، منبع وابسته $g_{m2}v_{gs2}$ در مدار معادل وجود ندارد و در نتیجه بهرهٔ ولتاژ به شکل زیر محاسبه می‌شود:

$$v_o = -g_{m1}v_{gs1}(r_{ds1} \parallel r_{ds2}) \ , \ v_{gs1} = v_i$$

بنابراین:

$$\frac{v_o}{v_i} = -\frac{g_{m1}}{g_{ds1} + g_{ds2}}$$



شکل ۲۵-۹ مدار معادل شکل ۲۳-۹.

از آنجایی‌که g_{ds} معمولاً خیلی کمتر از g_m است، بهرهٔ این مدار خیلی بیشتر از مدار شکل ۲۱-۹ می‌باشد. البته در عمل بهرهٔ ولتاژ این مدار با در نظر گرفتن اثر بدنه کاهش می‌یابد ولی با وجود این هنوز بزرگتر از مدار با بار اشباع خواهد بود. مقاومت ورودی این مدار نظیر مدار شکل ۲۱-۹ بدون در نظر گرفتن مدارتأمین گرایش، ودر فرکانس پایین بینهایت می باشد.

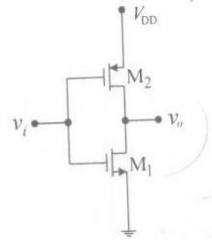
مقاومت خروجی نیز با صفر کردن v_i بدست می‌آید. اگر v_i صفر شود، $g_{m1}v_{gs1}$ نیز صفر می‌گردد، در نتیجه تنها دو مقاومت r_{ds1} و r_{ds2} باقی می‌ماند که با هم موازی می‌شوند. یعنی مقاومت خروجی برابر است با:

$$r_o = r_{ds1} \| r_{ds2}$$

یعنی مقاومت خروجی این مدار بیشتر از مقاومت خروجی مدار شکل ۲۱-۹ است.

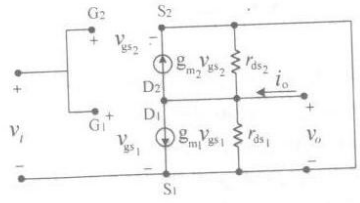
به عنوان مثال دیگر، می‌توان تقویت کننده‌ای درست کرد که راننده NMOS و بار PMOS باشد. مداری که از هر دو ترانزیستور NMOS و PMOS که مکمل هم هستند استفاده کند به مدار CMOS[1] موسوم است. در حقیقت این نامگذاری در مدار مجتمع معنا دارد که در آن از تکنولوژی CMOS استفاده می‌شود. تکنولوژیی که عناصر PMOS و NMOS ، همزمان بر روی یک تراشه ساخته می‌شوند. صرفنظر از تکنولوژی ساخت که ظرافتهای ویژه‌ای دارد، استفاده از عناصر مکمل در مدارهای MOS مزایای زیادی دارد که موجب ابداع این تکنولوژی شده است. امروزه تکنولوژی CMOS در خانوادهٔ MOS ،جزو تکنولوژی های پیشرو است و حتی تکنولوژی‌های دیگر از قبیل تکنولوژی دو قطبی را نیز تحت تأثیر قرار داده است.

شکل ۲۶-۹ مدار یک تقویت کنندهٔ CMOS را که در آن بار از جنس PMOS و راننده از نوع NMOS است، نشان می‌دهد. البته در این مدار، ترانزیستور PMOS بار نیز می‌تواند مثل مدارهای قبلی، با گیت متصل به درین (بار اشباع) یا گیت متصل به سورس (بار تخلیه‌ای) یا مثل این شکل بسته شود که هر یک مزایا و معایبی دارند. اکنون بهرهٔ ولتاژ و مقاومتهای ورودی و خروجی را محاسبه می‌کنیم.



شکل ۲۶-۹ مدار یک تقویت کنندهٔ CMOS.

برای تعیین بهرهٔ ولتاژ، مدار معادل این شکل ترسیم می‌شود.



شکل ۲۷-۹ مدار معادل شکل ۲۶-۹.

1- Complementary Metal Oxide Semiconductor

بهرهٔ ولتاژ به شکل زیر محاسبه می‌شود:

$$v_o = -(g_{m1}v_{gs1} + g_{m2}v_{gs2})(r_{ds1} \| \ r_{ds2})$$

از طرفی:

$$v_{gs1} = v_{gs2} = v_i$$

بنابراین:

$$\frac{v_o}{v_i} = \frac{-(g_{m1} + g_{m2})}{g_{ds1} + g_{ds2}}$$

اگر ابعاد ترانزیستورها طوری انتخاب شوند که $\beta_1 = \beta_2$ باشد، در آن صورت $g_{m1} = g_{m2} = g_m$ خواهد بود و بهرهٔ ولتاژ به شکل زیر خلاصه می‌شود:

$$A_v = \frac{-2g_m}{g_{ds1} + g_{ds2}}$$

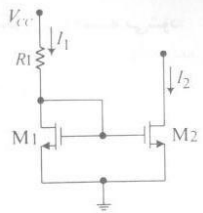
در واقع تحت شرایط یکسان، بهرهٔ ولتاژ این مدار حداقل دو برابر بهرهٔ ولتاژ مدار شکل ۲۳-۹ (البته بدون در نظر گرفتن اثر بدنه، زیرا اگر اثر بدنه را در نظر بگیریم، بهرهٔ مدار شکل ۲۳-۹ کوچکتر نیز می‌شود، ضمن اینکه مدار شکل ۲۶-۹ مشکل اثر بدنه ندارد که یکی از مزایای اغلب مدارهای CMOS است) می‌باشد.

مقاومت خروجی این مدار نیز با احتساب $v_i = 0$، تنها موازی دو مقاومت r_{ds1} و r_{ds2} خواهد بود:

$$r_o = r_{ds1} \| r_{ds2}$$

۹.۱۲ منبع جریان MOS

به نقش و ارزش منابع جریان در مدارهای الکترونیک در فصل هفت اشاره شد و تعدادی از این مدارها مورد بررسی قرار گرفتند. از ویژگی های منبع جریان، به مقاومت خروجی زیاد و در نتیجه عدم تغییر جریان خروجی با ولتاژ اشاره گردید. همانطوری که منبع جریان را با ترانزیستورهای BJT ساختیم، با ترانزیستور MOS نیز می توانیم آنها را بسازیم. خوشبختانه بطوریکه در بخش ۹.۱۱ گفته شد و در شکل ۱۸-۹ نشان دادیم، مدارهای MOS بسیار شبیه مدارهای BJT است. مدار منبع جریان نیز بهمین ترتیب است. بعنوان مثال یکی از منابع جریان ساده MOS در شکل ۲۸-۹ ترسیم می شود. این شکل کاملاً مشابه منبع جریان ترانزیستور دو قطبی شکل ۱۲-۷ است. نسبت جریان I_2 به I_1 در این مدار را می توانیم بصورت زیر محاسبه کنیم :



شکل ۲۸-۹ مدار یک منبع جریان ساده با استفاده از ترانزیستور MOS.

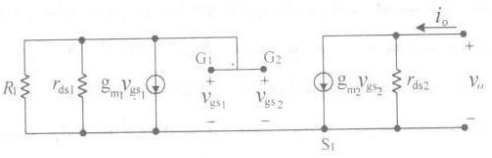
$$I_1 = \frac{\beta_1}{2}(v_{GS_1} - V_{T_1})^2(1+\lambda_1 v_{DS_1}) \qquad ۹-۱۶$$

$$I_2 = \frac{\beta_2}{2}(v_{GS_2} - V_{T_2})^2(1+\lambda_2 v_{DS_2}) \qquad ۹-۱۷$$

در این روابط اثر تغییر v_{DS} بر جریان درین نیز در نظر گرفته شده است. بنابراین نسبت جریانها برابر است با:

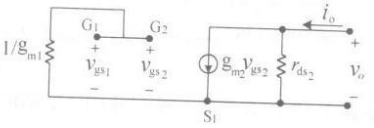
$$\frac{I_2}{I_1} = \frac{\beta_2}{\beta_1} \times \frac{(v_{GS_2} - V_{T_2})^2}{(v_{GS_1} - V_{T_1})^2} \times \frac{1+\lambda_1 v_{DS_2}}{1+\lambda_2 v_{DS_1}}$$

اگر فرض شود که λv_{DS} خیلی کوچکتر از واحد و ولتاژ آستانه ترانزیستورها برابر باشند، نسبت جریان به نسبت β_2/β_1 که با توجه به رابطهٔ ۴-۹ به نسبت W/L ترانزیستورها بستگی خواهد داشت. یعنی نسبت جریان I_2/I_1 به نسبت ابعاد ترانزیستورهای M_1 و M_2 بستگی دارد. بنابراین با تغییر ابعاد ترانزیستور می توان به منبع جریان با جریان های مختلف دست یافت. مقاومت خروجی این منبع جریان را مطابق آنچه در فصل هفتم برای ترانزیستورهای دوقطبی انجام دادیم، با ترسیم مدار معادل بدست می آوریم. شکل ۲۹-۹ مدار معادل شکل ۲۸-۹ می باشد.



شکل ۲۹-۹ مدار معادل منبع جریان شکل ۲۸-۹.

با توجه به اینکه ولتاژ دو سر مقاومت ها و منبع جریان در سمت چپ مدار همان v_{gs_1} است، با فرض بزرگ بودن g_{m_1} در مقایسه با $1/r_{ds_1} = g_{ds_1}$ و $1/R_1$ ، می توانیم بجای منبع جریان $g_{m_1}v_{gs_1}$ ، مقاومتی به مقدار $1/g_{m_1}$ قرار دهیم که ولتاژ دو سر آن v_{gs_1} است. بنابراین شکل زیر نتیجه می شود.

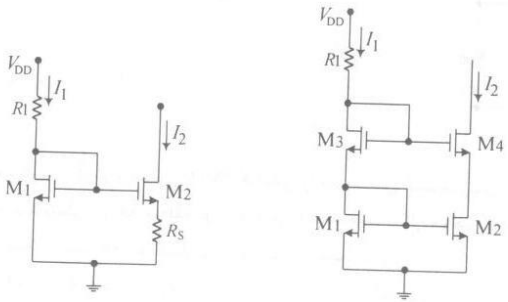


شکل ۳۰-۹ مدار ساده شدهٔ شکل ۲۹-۹.

از آنجائیکه v_{gs_1} و در نتیجه v_{gs_2} صفر است، منبع جریان $g_{m_2}v_{gs_2}$ صفر و در نتیجه مقاومت خروجی مساوی r_{ds_2} می گردد. با توجه به اینکه $r_{ds_2} = 1/\lambda I_{DS_2}$ است، بنابراین با معلوم بودن λ و جریان ترانزیستور M_2 ، مقاومت خروجی مدار منبع جریان بدست می آید.

$$R_o = r_{ds_2} = \frac{1}{\lambda I_{DS}}$$

از آنجائیکه مقاومت منبع جریان خوب باید بزرگ باشد، معمولاً مشابه آنچه برای ترانزیستور دو قطبی گفته شد، می توان با اضافه کردن مقاومت بر روی سورس M_2 و یا با سری کردن ترانزیستوری با ترانزیستور M_2 ، مقاومت خروجی را افزایش داد. مدارهای شکل ۳۱-۹ ، تعدادی از این منابع جریان را نشان می دهند.



شکل ۳۱-۹ منابع جریان با مقاومت خروجی بالا.

بطوریکه مشاهده می شود این مدارها کاملاً مشابه مدارهای دو قطبی هم نوع خود می باشند و محاسبهٔ نسبت جریانها و مقاومت خروجی آنها بصورت تمرین به دانشجویان عزیز واگذار می گردد.

۹.۱۳ مسائل فصل نهم

۱- چگونه می توان با یک دستگاه اهم متر، نوع یک ترانزیستور نامعلوم را از اینکه JFET ، BJT یا MOS باشد از هم تشخیص داد؟ روش کار خود را با دلیل بنویسید.

۲- چگونه تخلیه ای یا افزایشی بودن یک ترانزیستور MOS را با اهم متر مشخص می کنید؟ اصول کار خود را شرح دهید.

۳- یک ترانزیستور NMOS با $V_T = 1 , \beta = 1 mA/V^2$ ولت و $\lambda = 0$ موجود است. منحنی i_D بر حسب v_{DS} آن را به ازای $V_{GS} = 3$ ولت ترسیم کنید. اگر V_{GS} را دو برابر کنیم، جریان چه مقدار تغییر خواهد کرد؟ با ترسیم منحنی نشان دهید.

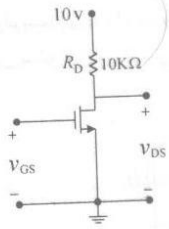
۴- یک ترانزیستور NMOS تخلیه ای با $V_T = -2 , \beta = 0.5 mA/V^2$ ولت و $\lambda = 0$ موجود است. اگر سورس و گیت آن را به زمین (پتانسیل صفر) متصل کنیم، به ازای چه مقادیری از v_{DS} ترانزیستور در منطقهٔ اشباع خواهد بود؟ جریان ترانزیستور در منطقهٔ اشباع چقدر است؟

۵- اگر نسبت ابعاد یک ترانزیستور PMOS هشت برابر ترانزیستور دیگری از همان نوع باشد، تحت ولتاژهای اعمال شده مشابه، نسبت جریان ترانزیستورها چگونه خواهد بود، با نوشتن رابطه نشان دهید.

۶- چگونه می توان ترانزیستوری با جریان دهی بیشتر ساخت؟

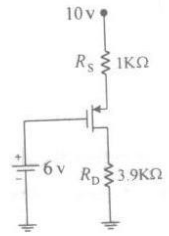
۷- جریان و ولتاژ نقطهٔ کار مدار شکل رو به رو را به ازای $v_{GS} = 1,2,3,4$ ولت بدست آورید.

$V_T = 1 , \beta = 0.2\ mA/V^2 , \lambda = 0$ ولت است.

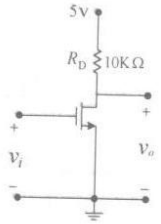


۸- اگر گیت و درین یک ترانزیستور PMOS افزایشی را بهم متصل کنیم، پس از تأمین گرایش های مناسب، ترانزیستور در چه منطقه ای از منحنی مشخصه خود کار خواهد کرد؟

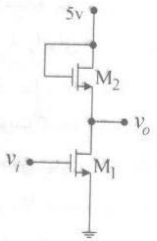
۹- در مدار شکل زیر نقطهٔ کار ترانزیستور را بدست آورید. $V_T = -1 , \beta = 1 mA/V^2 , \lambda = 0$ ولت است. اگر فرض کنیم که این ترانزیستور با تکنولوژی ساخته شده است که $K_P' = 10\ \mu A/V^2$ باشد، نسبت W/L چقدر باید باشد تا بتواند چنین جریانی را به خوبی از خود عبور دهد؟



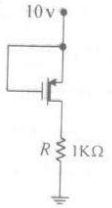
۱۰- منحنی تغییرات v_o برحسب v_i را برای مدار شکل زیر به دقت ترسیم کنید. $V_T = 2 , \beta = 0.1 mA/V^2 , \lambda = 0$ ولت است.



۱۱- منحنی تغییرات v_o بر حسب v_i را برای مدار شکل زیر ترسیم کنید. M_1 با $V_T = +1 , \beta = 1 mA/V^2$ ولت و M_2 با $V_T = +1 , \beta = 0.1 mA/V^2$ ولت است. λ برای هر دو ترانزیستور را صفر در نظر بگیرید.



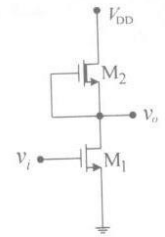
۱۲- ترانزیستور مدار شکل زیر در چه منطقه ای از منحنی مشخصه خود کار می کند؟ ترانزیستور از نوع تخلیه ای با $V_T = 2 , \beta = 1 mA/V^2 , \lambda = 0$ ولت است. مقاومت R چه مقدار تغییر کند تا منطقهٔ کار ترانزیستور در حالت اول عوض شود؟



۱۳- منحنی مشخصهٔ $i_D(v_{GS}, v_{DS})$ یک MOS افزایشی با ولتاژ $V_T = 1$ ولت را با دقت و با مقیاس دلخواه ترسیم کنید. هرگونه فرضی در مورد پارامترهای مؤثر در ترسیم منحنی را منعکس نمائید.

۱۴- میزان تقویت کنندگی ترانزیستور MOS را با ترانزیستور دو قطبی مقایسه و مزایا و معایب ترانزیستور MOS را نسبت به BJT بیان کنید.

۲۰- رابطهٔ بهرهٔ ولتاژ و مقاومت خروجی مدار شکل زیر را که در آن بار از نوع تخلیه ای است بدست آورید.

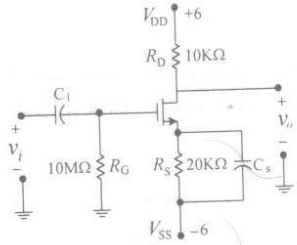


۲۱- مدار شکل روبه رو مفروض است:

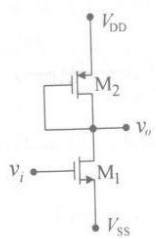
الف- جریان و ولتاژ نقطهٔ کار مدار را تعیین کنید.

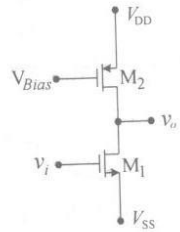
$V_T = 1, \beta = 0.1\,mA/V^2, \lambda = 0.02\,V^{-1}$ ولت است.

ب- بهرهٔ ولتاژ، مقاومت ورودی و مقاومت خروجی مدار را بدست آورید. C_1 و C_2 را به اندازه کافی بزرگ در نظر بگیرید.



۲۲- در مدارهای زیر از ترانزیستور PMOS بعنوان بار استفاده شده است. بهرهٔ ولتاژ هر یک از مدارها را بدست آورید. کدامیک بهرهٔ ولتاژ بیشتری دارد؟ دلیل آن را بیان کنید.



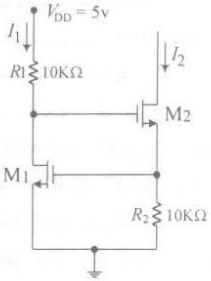


۲۳- در دو مدار مسأله ۲۲ کدامیک مقاومت خروجی کمتری دارد؟ با محاسبه نشان دهید.

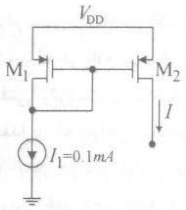
۲۴- یک مدار تقویت کنندهٔ دو طبقه با ترانزیستور MOS ببندید (کاملاً به دلخواه) ، سپس رابطهٔ بهرهٔ ولتاژ کل آن را بدست آورید. ساخت تقویت کننده با MOS ساده تر است یا با BJT؟

۲۵- مقدار جریان I_2 و مقاومت خروجی منبع جریان شکل صفحهٔ بعد را بدست آورید.

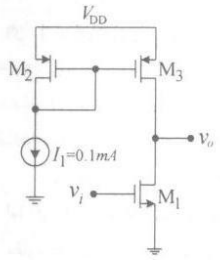
$V_T = 1, \beta_1 = \beta_2 = 0.5\,mA/V^2, \lambda = 0.01V^{-1}$ ولت و ترانزیستورها به ازای تمام شرایط در منطقهٔ اشباع هستند.



۲۶- اگر ترانزیستورهای M_1 و M_2 در شکل زیر کاملاً مشابه باشند، مقدار جریان I چقدر است؟ ($\lambda = 0$ فرض شود).



۲۷- اگر از منبع جریان مسأله ۲۵ در تقویت کنندهٔ شکل زیر استفاده شود، بهرهٔ ولتاژ و مقاومت خروجی مدار را بدست آورید. λ_2 و λ_3 ،صفر ولی $\lambda_1 = 0.01V^{-1}$ در نظر گرفته شود. $\beta_1 = 0.1\,mA/V^2$ است.



۹.۱۴ حل بعضی از مسائل فصل نهم

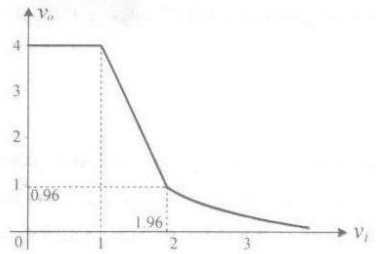
-۴

$$v_{DS} > v_{GS} - V_T$$

چون گیت و سورس بهم متصل است، $v_{GS} = 0$ می باشد و در نتیجه برای کار در منطقهٔ اشباع باید:

$$v_{DS} > 2V$$

$$I_{DS} = \frac{\beta}{2}(v_{GS} - V_T)^2 = \frac{0.5}{2}(2)^2 = 1mA$$



۱۷- تمام ترانزیستورها در منطقهٔ اشباع هستند.

$$I_{DS} = \frac{\beta_2}{2}(v_{GS_2} - V_{T_2})^2$$

$$I_{DS} = \frac{1}{2}K'_2\left(\frac{W}{L}\right)_2(5-1)^2$$

$$I_{DS} = 8\times 20\times 1 = 160\mu A$$

$$I_{DS} = \frac{\beta_1}{2}(v_{GS_1} - V_{T_1})^2 = \frac{\beta_1}{2}(4-1)^2$$

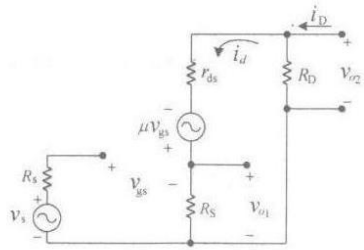
$$\beta_1 = \frac{2\times 160}{9} = K'\left(\frac{W}{L}\right)_1$$

$$\left(\frac{W}{L}\right)_1 = \frac{16}{9}$$

$$\beta_3 = \frac{2\times 160}{4} = 80 = K'\left(\frac{W}{L}\right)_3$$

$$\left(\frac{W}{L}\right)_3 = 4$$

۱۹- ابتدا مدار معادل را ترسیم می کنیم.



$$v_{gs} = v_s - i_d R_S$$

$$\mu v_{gs} = i_d(R_S + r_{ds} + R_D)$$

$$v_{o_1} = i_d R_S$$

$$v_{o_2} = -i_d R_D$$

با جابه جا کردن متغیرها رابطهٔ ولتاژ خروجی بر حسب ورودی به شکل زیر حاصل می شود:

$$A_{v_1} = \frac{v_{o_1}}{v_s} = \frac{\mu R_S}{r_{ds} + R_D + (1+\mu)R_S}\ ,\ \mu = g_m r_{ds}$$

$$A_{v_2} = \frac{v_{o_2}}{v_s} = \frac{-\mu R_D}{r_{ds} + R_D + (1+\mu)R_S}$$

با توجه به جریان نقطهٔ کار و مقادیر داده شده می توان r_{ds} و g_m را بدست آورد.

$$r_{ds} = \frac{1}{\lambda I_{DS}} = \frac{1}{0.01\times 1mA} = 100K\Omega$$

$$g_m = \sqrt{2\beta I_D} = \sqrt{2\times 1\times 1} = 1.4m\Omega^{-1}$$

$$\mu = 140$$

$$A_{v_1} = \frac{140\times 2.2}{100 + 2.2 + 141\times 2.2} = \frac{308}{412.4} = 0.746$$

$$A_{v_2} = -0.746$$

بنابراین به دلیل برابر بودن R_S و R_D ، $|A_{v_1}|$ و $|A_{v_2}|$ مساوی ولـی سـیگنال v_{o_1} و v_{o_2} نسـبت بـهم 180 درجه اختلاف فاز دارند.

۲۱- ابتدا بدون در نظر گرفتن λ، نقطهٔ کار را پیدا می کنیم.

الف-

$$V_{GS} + I_D R_S = 6$$

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2$$

از حل این دو رابطه V_{GS} و I_D بدست می آید:

$$V_{GS} = 2.8V\ ,\ I_D = 0.16mA\ ,\ V_{DSQ} = 7.2V$$

حال که حدود V_{DSQ} معلوم است و فرض در منطقهٔ اشباع بودن ترانزیستور درست است، جریـان را با در نظر گرفتن λ بدست می آوریم.

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1+\lambda V_{DS})$$

$$I_D = 0.165mA,\ V_{DSQ} = 7.05V\ ,\ V_{GS} = 2.7V$$

بطوریکه مشاهده می شود با احتساب λ ، نتیجه چندان تغییر نمی کند، بنـابراین نیـازی بـه تکـرار مسأله نیست. مدار معادل را ترسیم می کنیم.

از آنجا که $\lambda = 0$ است، بنابراین ترانزیستور حکم یک منبع جریان را خواهد داشت که جریان آن مقدار ثابت یک میلی آمپر است.

۶- جریان دهی ترانزیستور MOS به β که $K'W/L$ است بستگی دارد. $K' = \mu C_0$ است که μ در واقع قابلیت حرکت حاملها در کانال و C_0 خازن اکسید نازک گیت بازای واحد سطح گیت است ($C_0 = \varepsilon_{ox}/d_{ox}$ ، که ε_{ox} گذردهی الکتریکی اکسید سیلیسیم و d_{ox} ضخامت اکسید نازک گیت است). برای اینکه جریان دهی ترانزیستور MOS را زیاد کنیم لازم است نسبت W/L و K' را افزایش دهیم. W/L که با افزایش پهنای MOS و کاهش طول آن افزایش می یابد. K' نیز با کاهش ضخامت اکسید نازک افزایش می یابد. در تکنولوژی MOS افزارهایی چون VMOS و DMOS با طول مؤثر بسیار کوچک ساخته می شوند که جریان دهی بالایی دارند و از نظر ولتاژهای شکست نیز طوری ساخته شده اند که قابلیت کار در جریان و ولتاژهای بالا را دارند. ترانزیستور MOS در تکنولوژی CMOS نیز با ابعاد و ضخامت اکسید بسیار کوچک ساخته می شوند که در واقع می توانند جریان مورد نیاز را با مساحت و ولتاژهای پائین برآورده سازند. البته وقتی ترانزیستوری ساخته شد، آنگاه با تغییر ولتاژ نیز تا حدی می توان مقدار جریان را حول مقداری که طراحی شده است، کم و زیاد کرد.

۷- بدون در نظر گرفتن جریان زیر ولتاژ آستانه، می توان فرض کرد که به ازای $V_{GS} = V_T$ ، جریان درین آنقدر ناچیز باشد که صفر در نظر گرفته شود. بنابراین:

$$I_{DSQ} = 0 \ , \ V_{DSQ} = 10V$$

اگر $V_{GS} = 3$ ولت باشد،

$$I_{DSQ} = \frac{\beta}{2}(V_{GS} - V_T)^2$$

$$I_{DSQ} = 0.1 {}^{mA}\!/_{V^2} (3-1)^2 = 0.4mA$$

$$V_{DSQ} = 6V , V_{DS} > V_{GS} - V_T$$

اما اگر $V_{GS} = 4V$ باشد، با بکارگیری رابطهٔ فوق جریان به 0.9 میلی آمپر می رسد که افت ولتاژ مقاومت R_D به 9 ولت و در نتیجه $V_{DSQ} = 1$ ولت می گردد که شرط وجود نقطهٔ کار در منطقهٔ اشباع برقرار نخواهد بود، لذا نمی توانیم از رابطهٔ بالا برای محاسبهٔ جریان استفاده کنیم و باید از رابطهٔ ناحیهٔ تریودی برای محاسبهٔ جریان استفاده کرد.

$$I_D = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}}{2} \right]$$

از طرفی:

$$V_{DD} = I_D R_D + V_{DS}$$

از حل معادله های فوق برای V_{DS} دو جواب 2 و 5 ولت بدست می آید که $V_{DS} = 2$ ولت جواب درست است.

$$V_{DSQ} = 2V$$

$$I_{DQ} = 0.8mA$$

۱۱- ترانزیستور M_2 به دلیل اینکه گیت و درین آن بهم متصل است، همیشه در اشباع می باشد. بنابراین M_2 به ازای تمام مقادیر v_i در منطقهٔ اشباع باقی می ماند. اگر $v_i < 1V$ باشد، M_1 قطع، جریان مدار صفر و v_o بیشترین مقدار خود را که $V_{DD} - V_T$ است، خواهد داشت.

با افزایش v_i بطوریکه $v_i > 1V$ گردد، M_1 هدایت نموده ولی در ابتدای هدایت بدلیل اینکه $v_{DS_1} = v_o > v_i - 1$ است، در منطقهٔ اشباع می باشد. بنابراین هر دو ترانزیستور M_1 و M_2 در اشباع هستند. از آنجائیکه جریان ترانزیستورها برابرند، خواهیم داشت:

$$\frac{1}{2}\beta_1 (v_i - V_T)^2 = \frac{1}{2}\beta_2 (v_{GS_2} - V_T)^2$$

در این محاسبات از اثر بدنه بر روی ولتاژ آستانه ترانزیستور M_2 صرفنظر می شود. با توجه به اینکه $v_{GS_2} = V_{DD} - v_o$ است، خواهیم داشت:

$$\sqrt{\beta_1}(v_i - V_T) = \sqrt{\beta_2}(V_{DD} - v_o - V_T)$$

تغییرات ولتاژ خروجی بر حسب ورودی را می توان با مشتق گیری از این رابطه بدست آورد.

$$\frac{\partial v_o}{\partial v_i} = -\sqrt{\frac{\beta_1}{\beta_2}}$$

این ضریب در واقع بهرهٔ ولتاژ مدار در منطقهٔ $1 < v_i < v_o + V_T$ است، زیرا خارج از این ناحیه ترانزیستور M_1 در منطقهٔ تریودی خواهد بود. بنابراین با افزایش v_i بطوریکه $v_i > v_o + V_T$ باشد، M_1 وارد منطقهٔ تریودی خواهد شد. مقدار v_i را می توان با قرار دادن $v_i = v_o + V_T$ در رابطهٔ فوق بدست آورد که $v_i = 1.96V$ نتیجه می شود. بنابراین برای $v_i > 1.96V$ خواهیم داشت:

$$\beta_1 \left[(v_i - V_T)v_o - \frac{{v_o}^2}{2} \right] = \frac{1}{2}\beta_2 (v_{GS_2} - V_T)^2$$

با جایگذاری مقادیر خواهیم داشت:

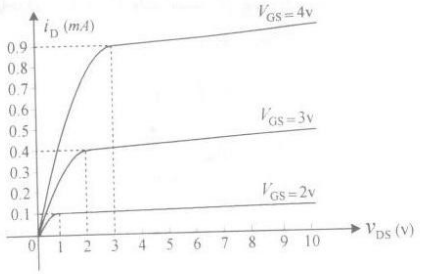
$$1 \times \left[(v_i - 1)v_o - \frac{{v_o}^2}{2} \right] = 0.05(V_{DD} - v_o - 1)^2$$

با ساده کردن این معادله، رابطهٔ زیر بدست می آید که قابل ترسیم است.

$$0.55{v_o}^2 + 0.6v_o + 0.8 = v_o v_i$$

بنابراین منحنی تغییرات v_o بر حسب v_i را می توانیم به شکل صفحهٔ بعد ترسیم نمائیم.

۱۵- شکل زیر منحنی $i_D(v_{GS}, v_{DS})$ یک ترانزیستور NMOS را نشان می دهد.



الف- مقاومت کانال این ترانزیستور در $v_{GS} = 3$ ولت و به ازای v_{DS} های کوچک چقدر است؟

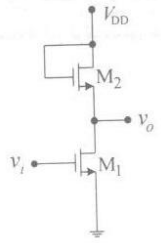
ب- ولتاژ آستانهٔ این ترانزیستور چقدر است؟

ج- حدود λ را برای این ترانزیستور تعیین کنید.

د- مقاومت r_{ds} را به ازای $v_{GS} = 3$ ولت تعیین کنید.

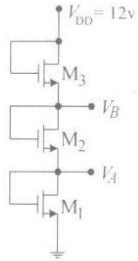
ه- مدار تقویت کنندهٔ ساده ای را که تنها شامل R_D است با این ترانزستور رسم کنید. برای تـأمین گرایش از مقاومتهای R_1 و R_2 استفاده کنید. خط بار مناسبی رسم کنید که از روی آن بتوان یـک مقدار برای R_D بدست آورد. با توجه به مقدار V_{GS_Q} ، مقدار R_1 و R_2 را نـیز بـه دلخـواه تعیـین کنید. V_{DD} را 5 ولت در نظر بگیرید. بیشینهٔ دامنهٔ نوسان ولتاژ خروجی چقدر است؟

۱۶- در تقویت کنندهٔ شکل زیر از ترانزیستور M_2 به عنوان بار ترانزیستور M_1 استفاده شـده اسـت. مدار تأمین گرایش را ترسیم نکردیم. اگر M_1 دارای منحنـی مشخصهٔ شکل مساله 3 و جریان دهـی M_2 یـک دهـم جریـان دهی M_1 باشد، خط بار مدار را ترسـیم و بـهترین نقطـهٔ کـار را مشخص نمائید. بهرهٔ ولتاژ مدار را از روی منحنی بدست آوریـد. بیشینهٔ دامنهٔ نوسان ولتاژ خروجی چقدر است؟ (در واقع منحنی مشخصهٔ M_2 مشابه منحنی مشخصهٔ M_1 ، منتهی محور جریـان آن به یک دهم مقادیر محور جریان منحنی M_1 تقلیل یابد).

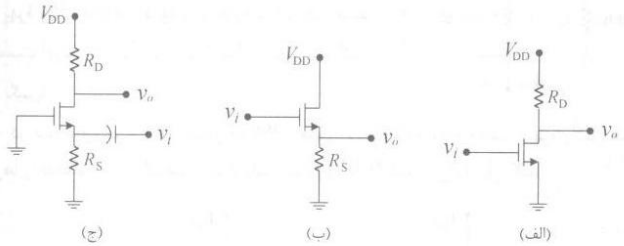


۱۷- معمولاً در مدارهای مجتمع از سری کردن ترانزیستورهای MOS که گیـت و دریـن آنـها بـهم متصل است، مقسم ولتاژ می سازند. در مقسم ولتاژ زیر، نسبت W/L ترانزیستورها را چقدر انتخـاب کنیم تا $V_A = 4$ و $V_B = 9$ ولت گردد؟

$V_T = 1$ ولت، $\lambda = 0$ ، $K' = 20\,\mu A/V^2$ و از اثر بدنه بر روی ولتاژ آسـتانه صرفنظـر کنیـد. W/L ترانزیستور M_2 را برابر یک انتخاب کنید.

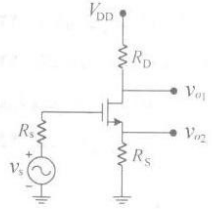


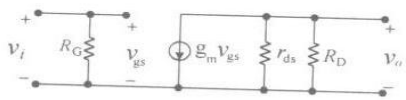
۱۸- شکل صفحهٔ بعد مدار تقویت کننده های سورس مشـترک، دریـن مشـترک و گیـت مشـترک ترانزیستور MOS را نشان می دهد. رابطهٔ بهرهٔ ولتاژ و مقـاومت خروجـی را بـرای هـر یـک از آنـها



محاسبه کنید. از ترسیم مدار تأمین گرایش در تمام این شکل ها صرفنظر شده است.

۱۹- مدار یک جداکنندهٔ فاز با ترانزیستور MOS در شکل زیر ارائه شـده اسـت. مطلوبسـت تعییـن رابطهٔ ولتاژ خروجی برای v_{o1} و v_{o2} و مشخص کردن اختلاف آنها. اگر جریان نقطهٔ کار مدار $1mA$ ، $\lambda = 0.01$ بر ولت و $\beta = 1\,mA/V^2$ باشد، مقدار بهرهٔ ولتاژ را به ازای $R_D = R_S = 2.2\,K\Omega$ بدسـت آورید.





$$v_o = -g_m v_{gs}(r_{ds} \| R_D)$$
$$v_i = v_{gs}$$
$$A_v = \frac{v_o}{v_i} = -\frac{g_m}{g_{ds} + g_D} \qquad g_D = \frac{1}{R_D} \ , \ g_{ds} = \frac{1}{r_{ds}}$$

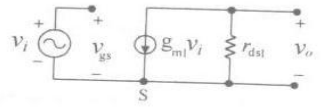
با توجه به مقدار λ:

$$r_{ds} = \frac{1}{0.02 \times 0.165} = 303K\Omega$$
$$g_m = \sqrt{2\beta I_D} = \sqrt{2 \times 0.1 \times 0.165} = 0.18m\Omega^{-1}$$
$$A_v = -\frac{0.18m\Omega^{-1}}{0.1m\Omega^{-1}} = -1.8$$
$$R_i = R_G = 10M\Omega$$

برای محاسبهٔ R_o باید منبع ولتاژ ورودی را صفر کنیم که موجب صفر شدن v_{gs} و در نتیجه صفر شدن منبع جریان $g_m v_{gs}$ می گردد، بنابراین:

$$R_o = R_D \| r_{ds} \approx R_D = 10K\Omega$$

۲۷- با توجه به اینکه ترانزیستورهای M_2 و M_3 کاملاً مشابه هستند و λ نیز صفر است، بنابراین $I_{D_3} = I_{D_1} == 0.1$ میلی آمپر است، با توجه به اینکه ترانزیستور M_3 حکم منبع جریان ایده آل را دارد، مدار معادل به شکل زیر ترسیم می شود، یعنی تغییرات جریان M_1 نمی تواند از M_3 بگذرد، چون جریان آن کاملاً ثابت است، بنابراین به شکل مقاومت بینهایت در مدار معادل در نظر گرفته می شود.



$$\frac{v_o}{v_i} = -g_m r_{ds_1} = -\mu_1$$

$$r_{ds_1} = \frac{1}{\lambda I_{DS_1}} = 1M\Omega \ , \ g_m = \sqrt{2\beta_1 I_{DS_1}} = 0.14m\Omega^{-1} \ , \ A_v = -141$$