ترانزیستور JFET

مطالبی که در اختیار شما قرار گرفته است برگرفته از سری جزواتی است که در دانشکده فیزیک طی سالهای گذشته در مبحث ترانزیستورهای JFET تدریس شده است. امید است با خواندن آن و حل مسایل انتهای فصل تسلط خوبی بر مفاهیم پیدا کنید.

موفق باشید

نظری

۹۳/۱۰/۰۱

فصل هشتم

ترانزیستورهای اثر میدانی

مقدمه

در چند فصل قبل با مبانی و کاربردهای ترانزیستور دو قطبی آشنا شدیم. اما علاوه بر ترانزیستور دو قطبی عناصر دیگری نظیر ترانزیستورهای با اثر میدانی ساخته شده‌اند که به نحوی همان نقش را ایفا می‌کنند. در ترانزیستور دو قطبی، جریان بیس عامل کنترل کننده است، در حالی‌که در ترانزیستورهای با اثر میدانی این کار با اعمال ولتاژ انجام می‌گیرد و نیازی به وجود یک جریان دائمی برای عمل کنترل نیست. پایانه‌ای که نقش کنترل جریان در این ترانزیستور را انجام می‌دهد، گیت [1] نام دارد.

گیت نسبت به کانالی که جریان عبوری از آن را کنترل می‌کند، نسبتاً عایق است. با توجه به نوع ارتباط فیزیکی بین گیت و کانال که می‌تواند از طریق پیوند PN ، یا یک ماده عایق باشد، ترانزیستورهای اثر میدانی به دو دستهٔ پیوندی و عایقی تقسیم می‌شوند. لذا در ادامه ابتدا ساختار و طرز کار، ترسیم منحنی‌های مشخصه، مدار معادل و کاربرد ترانزیستورهای اثر میدانی پیوندی [2] (JFET) را مورد بررسی قرار می‌دهیم، سپس به دلیل جلوگیری از شلوغ شدن این فصل، اصول و کاربرد ترانزیستورهای با گیت عایقی [3] (IGFET) را به فصل جداگانه‌ای موکول می‌کنیم.

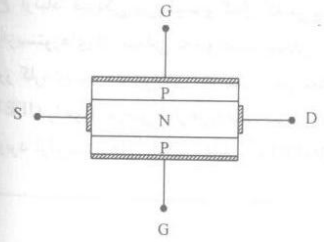
1- Gate
2- Junction Field Effect Transistor =JFET
3- Insulated gate FET

۸.۱ ترانزیستور اثر میدانی پیوندی (JFET)

ساختار یک ترانزیستور اثر میدانی پیوندی در شکل ۸-۱ ترسیم شده است. به نیمه رسانای N که بین دو نیمه‌رسانای P ساندویچ شده است، کانال و به هر یک از مناطق P ، گیت گفته می‌شود. بنابراین ارتباط بین کانال و گیت توسط یک پیوند PN برقرار می‌شود، که از این رو به آن FET پیوندی گفته می‌شود. البته کانال می‌تواند طبق شکل ۸-۱ ب از جنس N و گیت P باشد. بهر صورت این قطعه به شکل NPN یا PNP ساخته می‌شود که لایهٔ ساندویچ شده کانال آنرا تشکیل می‌دهد. روی این اساس ترانزیستورهای اثر میدانی بر حسب اینکه حامل جریان در کانال الکترون یا حفره باشد، به ترتیب کانال N یا P نامگذاری می‌شوند. برای تشریح بیشتر، ترانزیستور کانال N شکل ۸-۲ را در نظر بگیرید. به یک انتهای کانال که در واقع جریان از آنجا سرچشمه می‌گیرد سورس و به طرف دیگر کانال که جریان کانال را به سمت خود می‌کشد، درین می‌گویند. درین با D، سورس با S و گیت با G نشان داده می‌شوند.

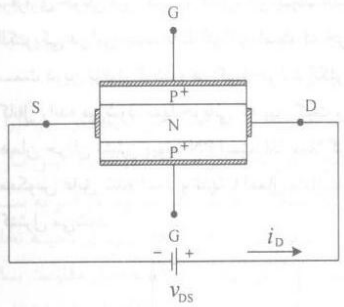
(ب) (الف)

شکل ۸-۱ نحوهٔ قرار گرفتن نیمه رساناهای P و N برای تشکیل ترانزیستور اثر میدانی پیوندی الف) کانال P ب) کانال N



شکل ۸-۲ ساختار یک ترانزیستور اثر میدانی کانالN با پایانه‌های گیت، سورس و درین. پایانه های گیت بالا و پائین در اغلب موارد در داخل قطعه به هم متصل می‌شوند.

صرفنظر از گیت، اگر ولتاژی طبق شکل ۸-۳ بین پایانه‌های سورس و درین اعمال شود، جریانی از الکترونها، از سورس به طرف درین برقرار می‌گردد که اندازهٔ این جریان تابع مقدار ولتاژ v_{DS} و مقاومت کانال است. نکتهٔ حائز اهمیت دیگر این است که جریان در JEFT بر خلاف ترانزیستور دو قطبی که از حرکت حاملهای اقلیت حاصل می‌شود، ناشی از حرکت حاملهای اکثریت کانال است و به همین جهت به JFET ترانزیستور یک قطبی یا افزاره با حاملهای اکثریت نیز گفته می‌شود. در ادامه به نحوهٔ کنترل اندازهٔ جریان توسط پایانهٔ گیت خواهیم پرداخت.

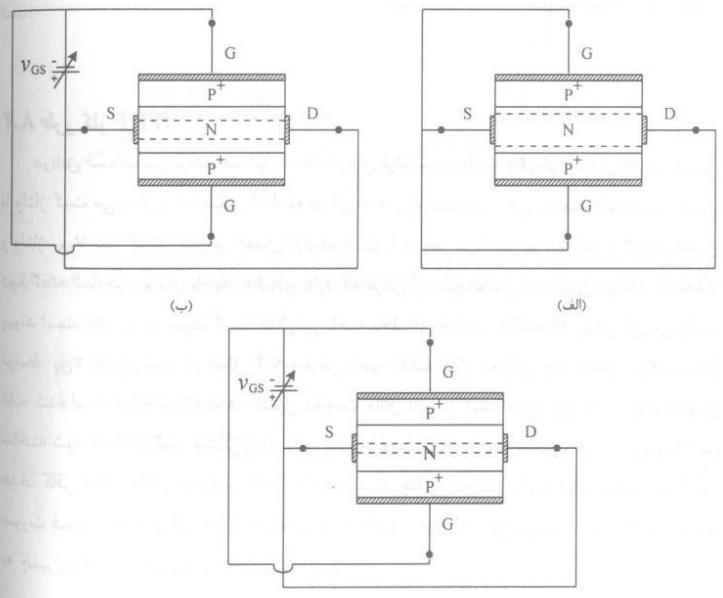


شکل ۸-۳ ترانزیستور اثر میدانی کانالN که تنها تحت ولتاژ v_{DS} قرار گرفته است. البته رها کردن پایانه گیت کار درستی نیست ولی در اینجا عمداً اینطور فرض شده است.

۸.۲ طرز کار JFET

در این قسمت پس از شناخت اولیه ساختار این ترانزیستورها، به چگونگی کنترل جریان درین با ولتاژ گیت می‌پردازیم. لذا شکل ۸-۴ که در آن $v_{DS} = 0$ (سورس و درین اتصال کوتاه شده اند) و ولتاژ v_{GS} بین گیت و سورس اعمال گردیده است را در نظر می‌گیریم. همانطوری‌که در فصل دوم گفته شد، هر پیوندی ناحیه تخلیه‌ای دارد که عرض آن تابع مقدار ناخالصی و ولتاژ وارده به پیوند است. بنابراین در پیوند گیت-کانال نیز ناحیه تخلیه‌ای خواهیم داشت که پهنای آن می‌تواند توسط v_{GS} کنترل شود. در شکل ۸-۴ ، عرض ناحیه تخلیه کانال به ازای چند مقدار v_{GS} نشان داده شده است. از آنجایی‌که هدف کنترل مقاومت کانال با ولتاژ گیت است، بهتر است پیوند طوری ساخته شود که ولتاژ گیت بیشترین اثر را بر روی مقاومت کانال داشته باشد. برای رسیدن به این هدف کافی است چگالی ناخالصی کانال خیلی کمتر از چگالی ناخالصی گیت انتخاب شود، در این صورت قسمت اعظم پهنای ناحیه تخلیه پیوند P^+N در داخل N واقع می‌شود. شکل ۸-۴ با توجه به چنین چگالی ناخالصی‌هایی ترسیم شده است.

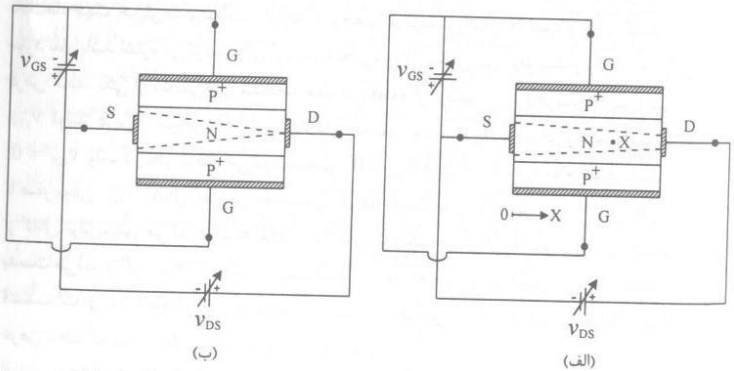
به طوری‌که از شکل ۴-۸ ملاحظه می‌شود، مقاومت کانال تابع عرض ناحیهٔ تخلیه است که قابل تغییر با v_{GS} می‌باشد. کانال عبور جریان در واقع توده‌ای از یک نیمه‌رسانای نوع N یا P است که همانند مواد دیگر، مقاومت الکتریکی R از خود نشان می‌دهد، که عرض ناحیه تخلیه، در حقیقت سطح مقطع عبور جریان و در نتیجه مقدار مقاومت کانال را کنترل می‌کند. برای جلوگیری از برقراری جریان بین گیت و کانال، این پیوند اغلب در گرایش معکوس قرار داده می‌شود. میدان الکتریکی در این پیوندها به گونه‌ای است که جریان تنها می‌تواند در طول کانال و از سورس به سمت درین برقرار گردد و هر گونه حرکت الکترونها از کانال به سمت گیت (در کانال N) به طرف کانال رانده می‌شود. تنها جریانی که بین گیت و کانال برقرارمی‌گردد (در حالت گرایش معکوس) همان جریان نشتی پیوند PN است، لذا عملاً گیت نسبت به کانال توسط پیوند PN با گرایش معکوس عایق شده است و تنها با اعمال ولتاژ به گیت، پهنای کانال و در نتیجه میزان هدایت آن کنترل می‌شود.



شکل ۴-۸ عرض ناحیه تخلیه و کانال به ازای چند مقدار مختلف v_{GS} الف) $v_{GS} = 0V$، ب) $v_{GS} = -1V$ و ج) $v_{GS} = -2V$ ترسیم شده است.

اگر در همان شرایط شکل ۴-۸ ، ولتاژ معکوس پیوند PN (v_{GS}) را آنقدر زیاد کنیم که تمام کانال به ناحیهٔ تخلیه تبدیل شود، دیگر کانالی برای عبور جریان باقی نخواهد ماند و در این حالت گفته می‌شود که کانال تنگیده شده است، یعنی کانال عبور جریان آنقدر تنگ شده است که ناحیه هدایتی برای عبور جریان باقی نمانده است. در این حالت مقاومت استاتیک کانال به سمت بینهایت میل می‌کند. این مقدار v_{GS} که موجب تنگش سراسری قطعه می‌گردد به ولتاژ **تنگش**[1] موسوم است و با V_p نشان داده می‌شود. بنابراین برای اینکه ترانزیستور اساساً کانالی برای عبور جریان داشته باشد، $|v_{GS}|$ هرگز نباید بیشتر از V_p اختیار گردد.

اکنون برای بررسی عملکرد قطعه، علاوه بر v_{GS} ، v_{DS} را نیز اعمال می‌کنیم. اگر $|v_{GS}|$ را بر روی یک مقدار ثابت کمتر از $|V_p|$ نگه داریم و طبق شکل ۵-۸ v_{DS} را تغییر دهیم، این بار به دلیل وجود افت ولتاژ در طول کانال، پهنای کانال در تمام آن یکسان نخواهد بود. هر قدر به سمت درین نزدیکتر می‌شویم، ولتاژ معکوس پیوند PN بیشتر می‌گردد و در نتیجه پهنای ناحیه تخلیه افزایش و عرض کانال هدایتی کاهش می‌یابد. مسلماً با افزایش بیشتر v_{DS} ، به دلیل مقاومت بالاتر کانال در سمت درین، قسمت اعظم آن در طرف درین افت می‌کند که افزایش عرض ناحیه تخلیه و مقاومت کانال در قسمت درین را در پی خواهد داشت و این روند با افزایش بیشتر v_{DS} تشدید میشود تا اینکه نهایتاً ولتاژ سمت درین به حدی خواهد رسید که اولین تنگیدگی در سمت درین، مشابه شکل ۵-۸ ب رخ خواهد داد.



شکل ۵-۸ JFET تحت ولتاژ v_{GS} و v_{DS} الف) تنگیدگی حاصل نشده است. ب) قطعه در انتهای طرف درین به تنگش رسیده است.

1- Pinch

در این لحظه ولتاژ طرف درین برابر است با:

۸-۱

$$v_{GD} = V_P$$

برای هر نقطهٔ X در طول کانال که در شکل ۵-۸ مشخص شده است، اختلاف ولتاژ گیت بانقطـهٔ X برابر است با:

۸-۲

$$v_{GX} = v_{GS} + v_{SX}$$

که اگر X به نقطهٔ انتهایی یعنی درین برسد، v_{GX} به v_{GD} که بـزرگـترین ولتـاژ در عـرض ناحیـه تخلیه گیت-کانال می‌باشد خواهد رسید. در این صورت خواهیم داشت:

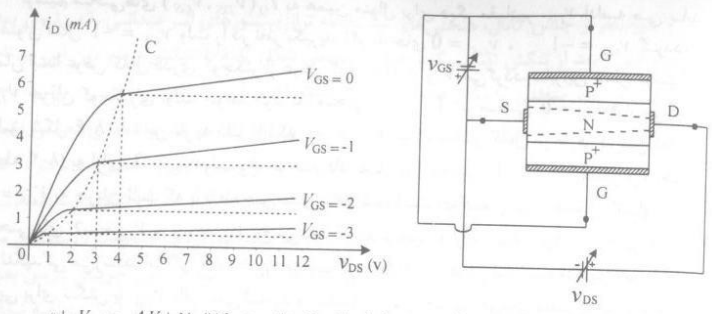
۸-۳

$$v_{GD} = v_{GS} + v_{SD} = v_{GS} - v_{DS}$$

بنابراین مشاهده می‌شود که تنگش در JFET می‌تواند سراسری و یا تنها در یـک انتـها باشـد. اگـر تنگش با افزایش v_{GS} ایجاد گردد، کانال کاملاً بسته می‌شود و جریان حتی با اعمال v_{DS}، صفر خواهد بود. اما اگر تنگش با افزایش v_{DS} رخ دهد، جریان در قطعـه حضـور خواهـد داشـت. بـرای درک بهتر این افزاره، لازم است مشابه دیگر قطعات نیمه‌رسانا، ابتـدا منحنـی مشـخصه $i(v)$ آن را نقطه به نقطه ترسیم کنیم تا ضمن آشنایی با منحنی مشخصه آن، نحوه اسـتفاده از ایـن عنصـر در مدارهای الکترونیک را بیاموزیم.

۸.۳ ترسیم منحنی مشخصهٔ یک JFET کانال N

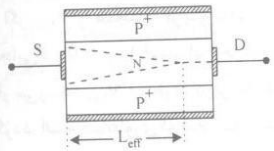
ترانزیستور شکل ۶-۸ با ولتاژهای v_{GS} و v_{DS} متغیر را در نظـر بگـیرید. از ایـن پـس اغلـب بحث‌ها، جهت جریان‌ها، و علامت ولتاژها با توجه به ترانزیستورکانال N است و اگـر کانـال دیگـری مورد نظر باشد اشاره می‌گردد. برای ترسیم منحنی، ولتاژ تنگش این ترانزیستور را $V_P = -4$ ولـت فرض کنید. یکی از منحنی‌های مشخصه مهم این قطعه از ترسیم i_D (جریـان درین) بـر حسـب v_{DS} (ولتاژ درین - سورس) به ازای v_{GS}های مختلف بدست می‌آید. بـرای رسـم اولیـن منحنـی، $v_{GS} = 0$ ولت در نظر گرفته می‌شود. منحنی $v_{GS} = 0$ در شکل ۶-۸ را ملاحظه فرمایید. مسـلماً با صفر بودن v_{GS}، کانال کمترین مقاومت را خواهد داشت یعنی با تغییر v_{DS} جریان قابل توجهی از کانال ترانزیستور می‌گذرد. البته بازای v_{DS}های کوچک، جریان از تقسیم v_{DS} بر مقاومت کانال بدست می‌آید و اگر v_{DS} را دو برابر کنیم، انتظار داریم که جریان نیز دو برابر گـردد. شـیب خطـی قسمت ابتدای مشخصه گویای این واقعیت است. اما با افزایش v_{DS} همانطوری‌که قبلاً اشـاره شـد، عرض ناحیه تخلیه در طول کانال یکسان بـاقی نمی‌مـاند و مقـاومت کانـال در طـرف دریـن رو بـه افزایش می‌گذارد، بطوریکه مقدار افزایش یافتهٔ v_{DS} در تمام طول کانال به یک نسبت افت نمیکنـد و در نتیجه مقاومت کانال تابع v_{DS} می‌گردد و دیگر افزایش جریان درین بـا افزایـش v_{DS} خطـی نمی‌باشد و طبق شکل، با افزایش v_{DS}، مشخصه از حالت خطی خارج و منحنی‌وار می‌گردد.



شکل ۶-۸ منحنی مشخصه $i_D(v_{DS}, v_{GS})$ برای یک ترانزیستور کانال N با $V_P = -4V$ ولت.

اگر v_{DS} را همچنان افزایش دهیم، لحظه‌ای فرا می‌رسد که تنگیدگی در طرف درین رخ دهد. از آنجایی‌که $v_{GS} = 0$ است، این حالت با $v_{DS} = 4$ ولت رخ خواهد داد. هنگامی‌که v_{DS} به ایـن مقدار می‌رسد، v_{GD} در طرف درین به مقدار V_P می‌رسد و موجب صفر شدن عرض کانال هدایتی می‌گردد. البته همانطوری‌که قبلاً اشاره شد، به دلیل مقاومت بالای کانال و افت قسمت اعظـم v_{DS} در این ناحیه، میدان الکتریکی شدیدتری در این قسمت از کانال ایجاد خواهد شد. بنابراین گـرچـه سطح مقطع عبور جریان در این انتها کاهش می‌یابد ولی از طـرف دیگـر میـدان الکـتریکی قوی‌تـر می‌شود که موجب حرکت سریعتر حاملها در این منطقه می‌گردد. بنابراین جریانی که تا این مقـدار v_{DS} از قطعه عبور می‌کرد، همچنـان عبـور خواهـد کـرد. همانطوری‌کـه منحنـی $V_{GS} = 0$نشـان می‌دهد، با افزایش بیشتر v_{DS} از این مقدار، نه تنها جریان کاهش نمی‌یابد بلکه قدری نیز افزایـش می‌یابد که این افزایش به دلیل گسترش منطقه تنگش به سمت سورس اسـت کـه موجـب کـاهش طول مؤثر کانال می‌گردد. کاهش طول مؤثر کانال که در شکل ۷-۸ نشان داده شده اسـت، موجـب کاهش مقاومت قسمت مؤثر کانال می‌گـردد و در نتیجـه بـا قسـمتی از v_{DS} کـه بـر روی آن افـت می‌کند جریان بیشتری تولید می‌شود که با شدت میدان الکتریکی قوی ناحیـه تنگیـده، بـه سـمت درین کشیده می‌شود. منتهی شیب این قسمت از منحنی زیاد نیست، یعنی دیگر جریـان درین آن چنان با افزایش v_{DS} افزایش نمی‌یابد. دلیل این امر این است که پـس از وقـوع تنگـش، هـر گونـه افزایش v_{DS} در قسمت تنگیده افت خواهد کرد. که تنها باعث افزایش شدت میـدان الکـتریکی در این ناحیه می‌گردد و افزایش اندک جریان که از روی منحنی دیده می‌شود بیشـتر بـه دلیـل کوتـاه شدن طول مؤثر کانال است. اغلب برای ساده کردن معادله جریـان ترانزیسـتور فـرض می‌شـود کـه جریان درین بعد از نقطهٔ تنگش ثابت بماند، طبق منحنی نقطه چین در شکل ۶-۸ .

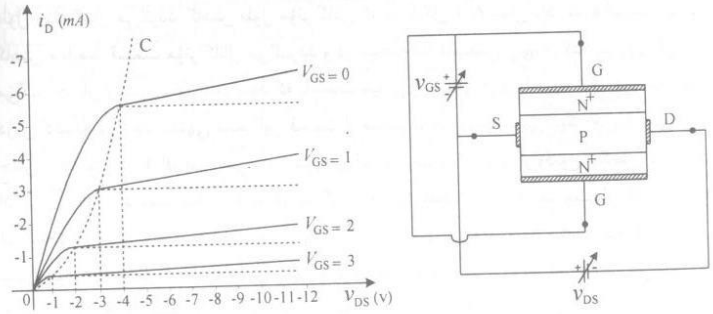
ترسیم منحنی‌های $i_D(v_{DS}, v_{GS})$ به همین منوال برای دیگر مقادیر v_{GS} ادامه می یابد. به‌عنوان مثال $v_{GS} = -1$ ولت را در نظر بگیرید. اگر به جای $v_{GS} = 0$ ، $v_{GS} = -1$ گردد، از همان ابتدا عرض کانال قدری کوچکتر از عرض کانال با $v_{GS} = 0$ می‌گردد. بنابراین همان تغییرات v_{DS} جریان کوچکتری تولید خواهد کرد. لذا منحنی $V_{GS} = -1$ زیر منحنی $V_{GS} = 0$ قرار می‌گیرد (طبق شکل ۶-۸). اما این بار به دلیل اینکه $v_{GS} = -1$ است، تنگش کانال در طرف درین (طبق رابطه ۳-۸) به ازای $v_{DS} = 3$ ولت رخ خواهد داد. بنابراین منحنی $V_{GS} = -1$ زودتر از منحنی $V_{GS} = 0$ به جریان ثابت که با نقطه‌چین نشان داده شده است خواهد رسید. همین اتفاق برای منحنی‌های $V_{GS} = -2$ و $V_{GS} = -3$ رخ می‌دهد که به ترتیب به ازای $v_{DS} = 2$ و $v_{DS} = 1$ ولت به تنگیدگی می‌رسند. اما اگر $v_{GS} = -4$ انتخاب گردد، افزاره از همان ابتدا به تنگش می‌رسد و جایی برای تنگش با v_{DS} باقی نمی‌گذارد و اساساً در این حالت جریان صفر است و منحنی $V_{GS} = -4$ بر روی محور v_{DS} قرار می‌گیرد.



شکل ۷-۸ گسترش ناحیه تنگیده در یک JEFT که کاهش طول مؤثر کانال را نشان می‌دهد.

۸.۴ معادله جریان JFET

منحنی شکل ۶-۸ برای یک ترانزیستور اثر میدانی کانال N ترسیم شده است که برای کانال P نیز به همین شکل است، با این تفاوت که علامت تمام ولتاژها و جهت جریان عوض می‌شود. اگر منحنی ۶-۸ را برای یک ترانزیستور کانال P که در آن گیت ها از جنس N است تکرار کنیم شکل ۸-۸ حاصل می‌شود.



شکل ۸-۸ منحنی مشخصهٔ $i_D(v_{DS}, v_{GS})$ برای یک کانال P با $V_p = 4$ ولت.

صرفنظر از جنس کانال، منحنی‌های مشخصه ترانزیستورهای اثر میدانی را می‌توان به دو ناحیه قبل و بعد از تنگش تقسیم کرد. منحنی سهمی شکل C نقاط تنگش و مرز بین این دو ناحیه را نشان می‌دهد. منحنی C مکان هندسی نقاطی است که در آن $v_{DS} = v_{GS} - V_p$ باشد. ناحیه سمت چپ منحنی C ، $v_{DS} < (v_{GS} - V_p)$، که در آن کانال دارای مقاومت اهمی معین است و بخصوص اینکه قسمتهای ابتدایی منحنی i_D خطی است، ناحیه اهمی، خطی یا تریود[1] گفته می‌شود. به ناحیه سمت راست منحنی C ، $v_{DS} > (v_{GS} - V_p)$ که کانال تنگیده شده است و دیگر تعریف کانال به شکل مقاومت اهمی امکان ندارد و باید از تعریف مقاومت دینامیکی سود جست، ناحیه اشباع[2] گویند. دلیل این نامگذاری به خاطر تقریباً ثابت ماندن جریان درین بعد از تنگش کانال است که افزایش v_{DS} تأثیر چندانی در مقدار جریان درین در این منطقه ندارد و ناحیه اشباع در واقع ناحیه با اهمیت ترانزیستور است و معمولاً برای تقویت سیگنال از این منطقه استفاده می‌شود. متأسفانه نوشتن رابطهٔ جریان i_D برای این افزاره در ناحیهٔ بعد از تنگش مشکل است، لذا ابتدا معادله جریان در ناحیه اهمی نوشته می‌شود و سپس مقدار بیشینهٔ آن که بر روی منحنی C اتفاق می‌افتد با قرار دادن شرط تنگش در معادله جریان ناحیه اهمی، معادله جریان به شکل زیر که تنها برای منطقه اشباع صادق است بدست می‌آید.

$$i_{DS} = I_{DSS}(1 - \frac{v_{GS}}{V_P})^2 \quad , \quad v_{DS} > v_{GS} - V_p \qquad ۸-۴$$

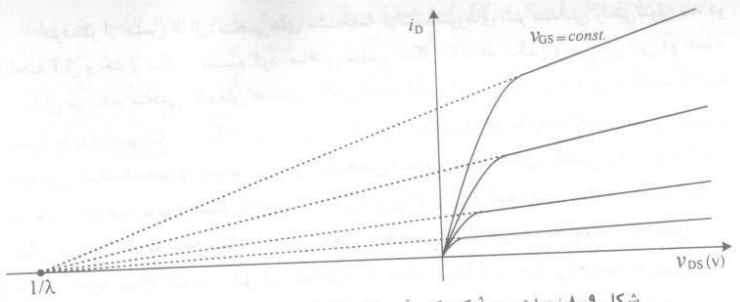
I_{DSS} از روی معادله ۴-۸ به ازای $v_{GS} = 0$ بدست می‌آید که نوعی بیشینه جریان درین است. این جریان از ویژگیهای مهم JFET است که به ابعاد کانال و چگالی ناخالصی آن بستگی دارد. بدین ترتیب که با افزایش عرض کانال یا افزایش چگالی ناخالصی، هدایت الکتریکی افزایش یافته و I_{DSS} قطعه بیشتر می‌شود. توجه داشته باشید که شرط اشباع $|v_{DS}| > |v_{GS} - V_p|$ با بکارگیری قدرمطلق برای هر دو افزاره کانال N و P صادق است.

اگر بخواهیم اثر کاهش طول کانال بعد از تنگش را که موجب وابستگی جریان درین به v_{DS} در منطقهٔ اشباع می‌گردد نشان دهیم، رابطه ۴-۸ به شکل زیر نوشته می‌شود.

$$i_{DS} = I_{DSS}(1 - \frac{v_{GS}}{V_p})^2(1 + \lambda v_{DS}) \qquad ۸-۵$$

که در واقع λ چیزی مشابه عکس ولتاژ ارلی در ترانزیستور دو قطبی است و همانند آن از ترسیم ادامه شیب منحنی ناحیه اشباع و تقاطع آن با محور v_{DS} طبق شکل ۹-۸ بدست می‌آید.

1- Ohmic, Linear or Triode Region
2- Saturation region

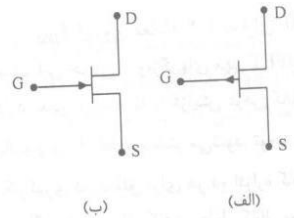


شکل ۹-۸ نحوهٔ تعیین λ که عکس آن مشابه ولتاژ ارلی در ترانزیستور دو قطبی است.

در کاربردهای معمولی اغلب از جملهٔ دوم معادله ۵-۸ صرفنظر می‌شود و رابطه ساده ۴-۸ بکارگرفته می‌شود.

۸.۵ نماد و تأمین گرایش ترانزیستورهای اثر میدانی پیوندی

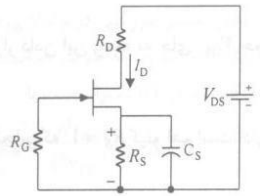
ترانزیستور اثر میدانی پیوندی در مدارهای الکترونیک با نماد شکل ۱۰-۸ نمایش داده می‌شود.



شکل ۱۰-۸ نمادJFET الف) برای کانالP ب) برای کانالN.

علامت مشخص کنندهٔ نوع کانال(N یا P)بر روی پایانه گیت گذاشته شده است. روش انتخاب جهت علامت، مشابه ترانزیستور دو قطبی است، مثلاً در ترانزیستور کانال N که گیت از جنس P است علامت در جهت جریان حفره‌ها، مشابه امیتر ترانزیستور PNP است که به سمت داخل بر روی گیت گذاشته می‌شود و برای کانال P ، عکس آن انتخاب می‌گردد.

ترانزیستور اثر میدانی نیز مشابه ترانزیستور دو قطبی سه پایه دارد، بنابراین می‌تواند با سه آرایش سورسی مشترک، درین مشترک و یا گیت مشترک در مدارها ظاهر شود. در مورد ویژگیها و نحوهٔ قرار گرفتن ترانزیستور در این آرایش‌ها بعداً صحبت خواهیم کرد. اما در اینجا یکی از آرایشهای پر کاربرد یعنی سورس مشترک را انتخاب می‌کنیم و روش تأمین بایاس از یک منبع تغذیه را نشان می‌دهیم. ساده‌ترین روش تأمین گرایش یعنی تهیه ولتاژهای v_{GS} منفی و v_{DS} مثبت برای یک JFET در شکل ۱۱-۸ نشان داده می‌شود.



شکل ۱۱-۸ نحوهٔ تأمین گرایش یک JFET.

در JFET ، جریان سورس و درین یکی است و بر خلاف ترانزیستور دو قطبی جریان بیس وجود ندارد که درآن خللی ایجاد کند. اغلب گیت در گرایش معکوس است و بندرت در گرایش موافق استفاده می‌شود. اگر هم در گرایش موافق استفاده شود، مقدار ولتاژ v_{GS} در حدی نگه داشته می‌شود که پیوند گیت-کانال هدایت نکند. در مدار شکل ۱۱-۸ ولتاژ V_{GS} توسط افت حاصل از عبور جریان از R_S تأمین می‌شود. منتهی در مدارهایی که کوپلاژ خازنی هستند، به دلیل وجود خازن، ولتاژ DC تهیه شده توسط R_S لازم است بوسیله مقاومتی به گیت منتقل شود، R_G در واقع این نقش را ایفا می‌کند. از آنجایی‌که جریان گیت به دلیل گرایش معکوس صفر است، R_G افت ولتاژی نخواهد داشت و تنها افت دو سر R_S را به گیت منتقل می‌کند. خازن C_S نقش مشابه C_E در ترانزیستور دو قطبی را برای R_S انجام می‌دهد.

برای تعیین نقطهٔ کار DC ، مشابه آنچه برای ترانزیستور دو قطبی مطرح کردیم عمل می‌کنیم و نیازی نیست که تمام آن مراحل برای این ترانزیستور نیز گفته شود. معادله خط بار DC در JFET به شکل زیر است:

$$V_{DD} = v_{DS} + i_D(R_D + R_S) \qquad ۸-۱۲$$

از ترسیم این خط بر روی منحنی $i_D(v_{DS}, v_{GS})$ و انتخاب بهترین نقطهٔکار، V_{GSQ} ،V_{DSQ} و I_{DQ} بدست می‌آید. برای خط بار ac نیز مشابه آنچه در مورد ترانزیستورهای دو قطبی مطرح کردیم، معتبر است.

برای اینکه از معادله ۴-۸ استفاده کرده باشیم، فرض می‌کنیم که JFET شکل ۱۱-۸ دارای $I_{DSS} = 5$ میلی آمپر و $V_P = -4$ ولت است، برای دیگر عناصر مدار هم $R_S = R_D = 1$ کیلو اهم و $V_{DD} = 10$ولت در نظر گرفته می‌شود. می‌خواهیم نقطهٔکار مدار را با محاسبه بدست آوریم. با فرض اینکه $V_{DS} > V_{GS} - V_P$ است، جریان JFET برابر است با:

$$I_D = I_{DSS}(1-\frac{V_{GS}}{V_P})^2$$

با عبور این جریان از R_S افت ولتاژی در دو سر R_S ایجاد می‌شود که همان V_{GS} است.

$$V_{GS} = -I_D R_S$$

با قرار دادن این رابطه به جای V_{GS} خواهیم داشت:

$$I_D = I_{DSS}(1-\frac{I_D R_S}{4})^2$$

از آنجایی‌که $R_S = 1$ کیلو اهم است، داریم:

$$I_D = 5(1-\frac{I_D}{4})^2 = 5 - \frac{5I_D}{2} + \frac{5I_D^2}{16}$$

یا:

$$\frac{5}{16}I_D^2 - \frac{7}{2}I_D + 5 = 0 \ , \ I_D = 1.68, 9.52mA$$

دو جواب برای I_D بدست می‌آید، که تنها یک جواب قابل قبول است زیرا با I_D بزرگتر، V_{GS} از ولتاژ تنگش V_P نیز منفی‌تر می‌گردد و عملاً باید ترانزیستور قطع باشد، بنابراین $I_D = 9.52$ میلی آمپر جواب درست نیست. به علاوه باید تحقیق کنیم که آیا فرض اینکه ترانزیستور در منطقهٔ اشباع قرار دارد، درست است یا خیر. با توجه به مقدار V_{DD}، افت R_S و R_D ، $V_{DS} = 6.64$ ولت است که خوشبختانه شرط $V_{DS} > V_{GS} - V_P$ برقرار می‌باشد. بنابراین جریان و ولتاژهای نقطهٔ‌کار ترانزیستور به این ترتیب محاسبه می‌شوند.

همانطوری‌که ملاحظه شد، مقاومت R_G نقش چندانی در محاسبات فوق ندارد. کار این مقاومت تنها انتقال ولتاژ دو سر R_S به گیت است. مقدار این مقاومت معمولاً طوری انتخاب می‌شود که مقاومت دیده شده توسط منبع سیگنال v_S خیلی کوچک نباشد. از طرفی حد بالای این مقاومت نیز باید طوری انتخاب شود تا جریان نشتی پیوند گیت-کانال و تغییرات آن با دما، افت ولتاژ قابل توجهی در دو سر این مقاومت ایجاد نکند. مقدار این مقاومت عموماً چند صد کیلو اهم تا یک مگا اهم انتخاب می‌شود.

۸.۶ نحوهٔ تقویت کنندگی JFET

با توجه به منحنی‌های مشخصه شکل ۸-۶ یا ۸-۸ مشاهده می‌شود که JFET همانند ترانزیستور دو قطبی، پتانسیل تقویت سیگنال را دارد. برای درک ساده این ویژگی، می‌توان اثر تغییر هر یک از دو مؤلفه v_{GS} و v_{DS} بر جریان درین را از روی منحنی مشخصه ترانزیستور در منطقهٔ اشباع ارزیابی کرد. نقطهٔ کاری در منطقهٔ اشباع انتخاب کنید. اگر به عنوان مثال v_{GS} را 0.1 ولت حول نقطهٔ‌کار تغییر دهیم، جریان درین تغییر خواهد کرد، سئوال اینجاست که v_{DS} را چقدر تغییر دهیم تا جریان به جای اول خود برگردد. البته می‌توان این مطلب را طور دیگری هم بیان کرد، اگر می‌خواستیم همان مقدار تغییر جریان با تغییر v_{DS} ایجاد کنیم، چه مقدار Δv_{DS} لازم بود. از روی منحنی، مقدار بزرگی برای v_{DS} بدست می‌آید، در حالیکه v_{GS} در سطح دهم ولت است. بنابراین مشاهده می‌شود که تغییر اندکی در ولتاژ گیت، معادل تغییر بزرگی در ولتاژ v_{DS} است، که این خود بهرهٔ ولتاژ است. میزان تغییر جریان درین با ولتاژ گیت به وسیله ضریب هدایت انتقالی g_m که به ترارسانایی نیز معروف است، بیان می‌شود. این ضریب در JFET برابر است با:

$$g_m = \frac{\partial i_D}{\partial v_{GS}}\Big|_{v_{DS}=const.} \qquad ۸-۱۳$$

با توجه به معادله ۴-۸ و مشتق‌گیری از آن در نقطهٔ‌کار خواهیم داشت:

$$g_m = \frac{-2I_{DSS}}{V_P}(1-\frac{V_{GS}}{V_P}) = \frac{2}{|V_P|}\sqrt{I_D I_{DSS}} \qquad ۸-۱۴$$

ضریب تقویت ولتاژ ذاتی ترانزیستور JFET را با μ نشان می‌دهند و در واقع همان نسبت Δv_{DS} به Δv_{GS} است به طوری‌که جریان درین ثابت بماند.

$$\mu = \frac{\partial v_{DS}}{\partial v_{GS}}\Big|_{i_D=const.} \qquad ۸-۱۵$$

این مقدار در واقع بیشینه بهرهٔ ولتاژی است که می‌توان از یک JFET انتظار داشت. در عمل به دلیل اتصال مقاومتهای خارجی به ترانزیستور، بهره ولتاژ از این مقدار به مراتب کوچکتر خواهد بود.

اکنون که μ و g_m را تعریف و محاسبه کردیم، بهتر است شیب منحنی‌های ترانزیستور در شکل ۸-۶ ($\frac{\partial i_D}{\partial v_{DS}}$) را نیز بدست آوریم. عکس مقدار این شیب، مشابه ترانزیستور دو قطبی، به مقاومت خروجی ترانزیستور موسوم است و با r_{ds} یا r_o نشان داده می‌شود.

$$\frac{1}{r_{ds}} = \frac{\partial i_D}{\partial v_{DS}}\Big|_{v_{GS}=const.} \qquad ۸-۱۶$$

با نگرش به مطالب پیش گفته در بخش ۸.۴ ، شیب این خطوط از روی تعریف λ که مشابه ولتاژ ارلی در ترانزیستور دو قطبی است، به شکل زیر بر حسب جریان نقطهٔ‌کار و مقدار λ بدست می‌آید.

$$r_{ds} = \frac{1}{\lambda I_{DS}} \qquad ۸-۱۷$$

که λ تابع چگالی ناخالصی و طول کانال ترانزیستور است. مقدار λ معمولاً بین ۰/۰۳ تا ۰/۰۰۳ بسته به نوع ترانزیستور JFET قرار دارد. به عنوان مثال برای ترانزیستوری که $\lambda = 0.01V^{-1}$ ، $V_P = -4V$ ، $I_{DSS} = 4$ میلی‌آمپر و $I_D = 1$ میلی‌آمپر است، مقدار g_m ، r_{ds} و μ برابر خواهند بود با:

$$g_m = \frac{2}{4}\sqrt{1\times 4} = 1m\Omega^{-1}$$

$$r_{ds} = \frac{1}{0.01\times 1mA} = 100K\Omega$$

μ نیز می‌تواند در نقطهٔ‌کار بر حسب حاصلضرب g_m و r_{ds} به شکل زیر تعریف شود.

$$\mu = \frac{\partial v_{DS}}{\partial v_{GS}} = \frac{\partial v_{DS}}{\partial i_D}\times\frac{\partial i_D}{\partial v_{GS}} = r_{ds}g_m \qquad ۸-۱۸$$

بنابراین $\mu = 100K\Omega\times 1m\Omega^{-1} = 100$ یعنی بهرهٔ بالقوه این ترانزیستور ۱۰۰ است، که البته اگر در مدار یک تقویت کننده قرار گیرد، متناسب با مقاومتهای بار، بهرهٔ ولتاژ مدار از این بهرهٔ ذاتی کمتر خواهد بود.

۸.۷ سیگنال بزرگ و سیگنال کوچک در JFET

حد سیگنال کوچک هر افزاره‌ای توسط میزان عملکرد خطی آن افزاره تعیین می‌شود. رابطهٔ جریان JFET در منطقهٔ اشباع، تابع درجهٔ دوم از v_{GS} است. بنابراین اگر سیگنالی جهت تقویت به یک JFET داده شود، تنها هنگامی تقویت خطی صورت می‌گیرد که دامنهٔ سیگنال به اندازهٔ کافی کوچک باشد. حد سیگنال بزرگ و کوچک توسط رابطه درجهٔ دوم ۴-۸ به شکل زیر قابل تعریف است.

$$i_D = I_{DSS}(1-\frac{v_{GS}}{V_P})^2$$

اگر $v_{GS} = V_{GS} + v_{gs}$ در نظر گرفته شود که V_{GS} ولتاژ نقطهٔ کار گیت و v_{gs} سیگنال ac گیت باشد، داریم:

$$i_D = I_{DSS}(1-\frac{V_{GS}+v_{gs}}{V_P})^2 \qquad ۸-۱۹$$

$$i_D = I_{DSS}(1-\frac{V_{GS}}{V_P})^2 - \frac{2I_{DSS}}{V_P}(1-\frac{V_{GS}}{V_P})v_{gs} + \frac{I_{DSS}}{V_P^2}v_{gs}^2 \qquad ۸-۲۰$$

در معادلهٔ ۸-۲۰، جملهٔ اول همان جریان DC درین I_D، و دو جمله دیگر تابع سیگنال ac، v_{gs} است. اگر جریان درین را نیز همانند ولتاژ با دو مؤلفهٔ ac و DC نشان دهیم، خواهیم داشت:

$$i_D = I_D + i_d \qquad ۸-۲۱$$

در نتیجه:

$$i_d = -\frac{2I_{DSS}}{V_P}(1-\frac{V_{GS}}{V_P})v_{gs} + \frac{I_{DSS}}{V_P^2}v_{gs}^2 \qquad ۸-۲۲$$

ضریب جملهٔ اول معادله ۸-۲۲ طبق معادله ۸-۱۴، همان هدایت انتقالی g_m است بنابراین:

$$i_d = g_m v_{gs} + \frac{I_{DSS}}{V_P^2}v_{gs}^2 \qquad ۸-۲۳$$

به طوری‌که مشاهده می‌شود، جریان درین علاوه بر v_{gs} شامل v_{gs}^2 است که حکایت از غیر خطی بودن جریان با v_{gs} دارد. حال برای اینکه بتوانیم رابطه v_{gs} و i_d را خطی در نظر بگیریم لازم است تا جملهٔ دوم معادله ۸-۲۲ یا ۸-۲۳ به اندازه کافی از جملهٔ اول آن کوچکتر باشد، یعنی:

$$v_{gs} << \left|\frac{g_m V_P^2}{I_{DSS}}\right| \qquad ۸-۲۴$$

یا

$$v_{gs} << \left|2V_P(1-\frac{V_{GS}}{V_P})\right| = |2(V_{GS}-V_P)| \qquad ۸-۲۵$$

اگر این شرط برقرار شود، v_{gs} سیگنال کوچک تلقی می گردد و جریان i_D تنها از طریق g_m به v_{gs} مربوط می شود که یک رابطه خطی است.

۸.۸ مدل مداری JFET

برای تعیین مدل برای JFET، براساس مدلهایی که قبلاً در فصل ششم معرفی کردیم بهتر است جریانهای i_D و i_G را به عنوان تابع و v_{GS} و v_{DS} را متغیر در نظر بگیریم.

$$i_D = f(v_{DS}, v_{GS}) \qquad ۸-۲۶$$

$$i_G = 0 \qquad ۸-۲۷$$

از آنجایی که پیوند گیت-کانال گرایش معکوس دارد و مدل مورد نظر برای فرکانس‌های پایین می‌باشد، $i_G = 0$ در نظر گرفته می‌شود. اکنون تغییرات i_D را به ازای تغییرات هر یک از متغیرهای v_{GS} و v_{DS} بدست می‌آوریم.

$$di_D = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{DS}=const.}\times dv_{GS} + \left.\frac{\partial i_D}{\partial v_{DS}}\right|_{v_{GS}=const.}\times dv_{DS} \qquad ۸-۲۸$$

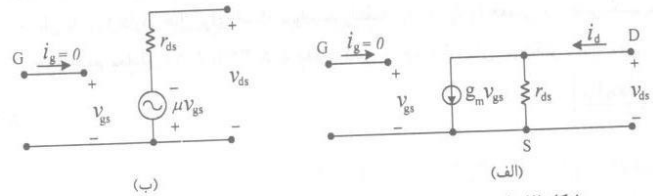
اگر تغییرات v_{GS} و v_{DS} (یعنی v_{gs} و v_{ds}) در حد سیگنال کوچک باشند، تغییرات i_D نیز کوچک و با i_d نشان داده می‌شود. از طرفی مشتقهای نسبی i_D بر حسب v_{GS} و v_{DS} قبلاً طبق معادله‌های ۸-۱۳ و ۸-۱۶ با g_m و عکس r_{ds} تعریف شده‌اند. بنابراین با قرار دادن این پارامترها و بکارگیری سیگنالهای ac در معادلهٔ ۸-۲۸ خواهیم داشت:

$$i_d = g_m v_{gs} + \frac{1}{r_{ds}} v_{ds} \qquad ۸-۲۹$$

و

$$i_g = 0 \qquad ۸-۳۰$$

حال با معلوم بودن ارتباط جریان و ولتاژ ac ، می‌توانیم مداری ترسیم کنیم که این رابطه در آن برقرار باشد.



(ب) (الف)

شکل ۱۲-۸ مدل مداری JFET در فرکانس پایین الف) مدار نرتن ب) مدل تونن.

به طوری‌که از روی مدار معادل JFET استنباط می‌شود، JFET یک منبع جریان کنترل شده با ولتاژ است. در واقع جریان درین با ولتاژ گیت کنترل می‌شود. کنترل کنندهٔ اصلی در JFET ، پایانهٔ گیت است و بدون اینکه به جریان نیازی داشته باشد، تنها با ولتاژ گیت، جریان درین را کنترل می‌کند.

گاهی لازم است تا از شکل تونن مدار معادل JFET همانند شکل ۱۲-۸ ب استفاده کنیم که در آن همان‌طوری‌که قبلاً نیز نشان دادیم $\mu = g_m r_{ds}$ است.

۸.۹ کاربردهای JFET

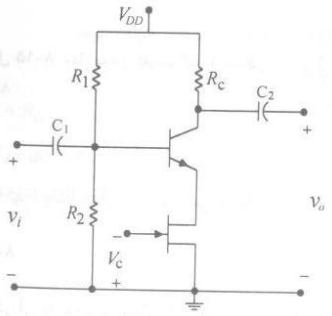
ترانزیستورهای اثر میدانی پیوندی نیز مشابه دیگر عناصر پویا کاربردهای زیاد دارند. با توجه به منحنی مشخصهٔ JFET ، از آن می‌توان در منطقهٔ تریود یا اشباع استفاده کرد. JFET در قسمت تریود یا خطی به عنوان مقاومت متغیر با ولتاژ (VVR[1]) عمل می‌کند. در حالی‌که استفاده از JFET در منطقه اشباع بسیار متنوع است و اغلب به عنوان تقویت کنندهٔ با مقاومت ورودی زیاد به کار می‌رود. JFET همچنین می‌تواند به عنوان سوئیچ استفاده شود یعنی در دو حالت قطع و وصل عمل کند. بزرگترین حسن JFET در مقایسه با ترانزیستور دو قطبی مقاومت بزرگ ورودی آن است که آن را به یک وسیله کنترلی خوب تبدیل کرده است. در ادامه بعضی از کاربردهای JFET معرفی و عملکرد DC و ac آنها مورد تجزیه و تحلیل قرار می‌گیرد.

1- Voltage Variable Resistor

۸.۹.۱ JFET به عنوان مقاومت متغیر با ولتاژ

در بسیاری از مدارهای الکترونیک ترجیح داده می‌شود تا مقدار بعضی از مقاومتهای مدار قابل کنترل باشد، به ویژه اینکه بتوان مقدار مقاومت را با ولتاژ کنترل نمود. منحنی مشخصه JFET به دلیل اینکه به ازای v_{DS} های کوچک، خطی و دارای شیب ثابت است، برای این منظور بسیار مناسب می‌باشد. هنگامی‌که ولتاژ دو سر JFET کوچک است، با تغییر v_{GS} ، شیب منحنی عوض می‌شود یعنی مقاومتی که JFET نشان می‌دهد تابع v_{GS} می‌باشد.

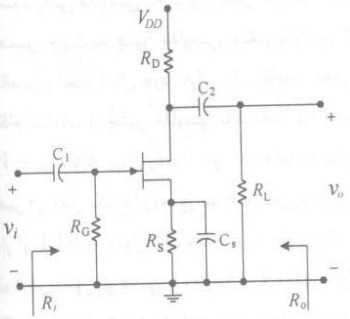
به همین جهت به چنین مقاومتی، متغیر با ولتاژ گفته می شود. هر JFET متناسب با مقدار ناخالصی و ابعاد کانال خود دارای یک مقاومت اهمی است که مقدار آن تابع ولتاژ گیت می‌باشد. به هنگام استفاده از چنین مقاومتی باید دقت کرد تا ولتاژ دو سر قطعه زیاد نباشد به طوری‌که شرط $v_{DS} << v_{GS} - V_P$ رعایت شود. در ادامه به تشریح مثالی از کاربرد JFET به عنوان مقاومت متغیر در مدار یک ترانزیستور دو قطبی می‌پردازیم. شکل ۱۳-۸ این مدار را نشان می‌دهد. در این مدار از JFET به عنوان یک مقاومت به جای R_E استفاده شده است. از آنجایی‌که بهرهٔ ولتاژ در یک ترانزیستور دو قطبی با مقاومت R_E ، تقریباً برابر R_C/R_E است، با قرار دادن JFET به جای R_E ، بهرهٔ قابل کنترل با ولتاژ خواهیم داشت. یعنی در این مدار با تغییر مقدار ولتاژ کنترلی V_C، مقاومت کانال که در واقع همان R_E است تغییر خواهد کرد. لذا بهرهٔ ولتاژ مدار قابل کنترل با V_C خواهد بود. نکته حائز اهمیت، مقاومت ورودی بزرگ JFET است که سبب می شود V_C، بدون اینکه جریانی درمدار ایجاد کند، مقاومت کانال را کنترل نماید. بنابراین JFET تنها به شکل یک مقاومت بر روی امیتر عمل می کند که مقدار آن تابع V_C است. کاربرد مقاومتی JFET در مدارهای الکترونیک فراوان است و تعدادی از آنها به عنوان مسأله در انتهای فصل آمده است.



شکل ۱۳-۸ کنترل بهرهٔ ولتاژ یک تقویت کننده ترانزیستور دو قطبی با بکارگیری یک JFET به جای مقاومت R_E در امیتر ترانزیستور.

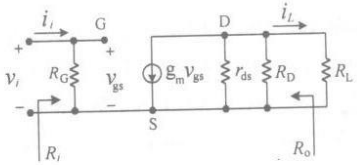
۸.۹.۲ تقویت کنندهٔ سورس مشترک

یکی از تقویت کننده‌های پر مصرف JFET سورس مشترک است که از بسیاری از جهات مشابه تقویت کنندهٔ امیتر مشترک می باشد به استثنای مقاومت ورودی که در JFET بسیار بزرگ است. شکل ۸-۱۴ مدار یک تقویت کنندهٔ سورس مشترک با کوپلاژ خازنی را نشان می‌دهد. برای شناخت قابلیت‌های این ترانزیستور، بهرهٔ ولتاژ، بهرهٔ جریان، مقاومت ورودی و مقاومت خروجی آن را بدست می‌آوریم.



شکل ۸-۱۴ مدار یک تقویت کنندهٔ سورس مشترک با کوپلاژ خازنی.

برای محاسبه پارامترهای نام برده شده بهتر است از مدار معادل JFET استفاده شود. شکل ۸-۱۵ مدار معادل JFET با عناصر متصل به آن را نشان می‌دهد. مشابه آنچه برای ترانزیستورهای دو قطبی انجام شد، خازنهای کوپلاژ C_1 و C_2 و خازن C_S به دلیل بزرگ بودن در مقابل سیگنالهای ac به شکل اتصال کوتاه عمل می‌کنند. با این حساب مدار معادل ac شکل ۸-۱۴ مطابق شکل ۸-۱۵ ترسیم می‌شود.



شکل ۸-۱۵ مدار معادل تقویت کنندهٔ شکل ۸-۱۴.

ابتدا بهرهٔ ولتاژ مدار را بدست می‌آوریم:

$$A_v = \frac{-g_m v_{gs}(r_{ds} \| R_D \| R_L)}{v_i} \qquad ۸-۳۱$$

که در آن با توجه به شکل ۸-۱۴، $v_{gs} = v_i$ است، بنابراین:

$$A_v = -g_m(r_{ds} \| R_D \| R_L) \qquad ۸-۳۲$$

مشاهده می‌شود که وجود R_L و R_D باعث کاهش بهرهٔ مدار نسبت به بهرهٔ ذاتی JFET، $\mu = g_m r_{ds}$ می‌گردد، به طوری‌که اگر رابطهٔ بهره را بر حسب μ بنویسیم خواهیم داشت.

$$A_v = -\frac{\mu(R_D \| R_L)}{r_{ds} + (R_D \| R_L)} \qquad ۸-۳۳$$

ضمناً اگر $r_{ds} >> (R_D \| R_L)$، خواهیم داشت:

$$A_v = -g_m(R_D \| R_L)$$

در واقع نشان می‌دهد که بهرهٔ ولتاژ مدار سورس مشترک، کسری از μ است که مقدار آن به R_L و R_D بستگی دارد. به علاوه ولتاژ خروجی در سورس مشترک همانند امیتر مشترک ۱۸۰ درجه با سیگنال ورودی اختلاف فاز دارد.

بعد از محاسبه بهرهٔ ولتاژ نوبت به بهرهٔ جریان می‌رسد. در JFET به دلیل اینکه گیت نسبت به کانال گرایش معکوس دارد و معمولاً طبق آنچه در مدار معادل دیده می‌شود، باز است، جریان ورودی به گیت ترانزیستور به ویژه در فرکانسهای پایین صفر است و از این نظر بهرهٔ جریان بینهایت خواهد بود. اما وجود R_G در مدار سبب می‌شود که جریان از منبع سیگنال ورودی v_S گرفته شود، لذا با توجه به جریانهای i_L و i_i می‌توان بهرهٔ جریانی به شکل زیر تعریف کرد.

$$A_i = \frac{i_L}{i_i} = -\frac{g_m v_{gs}(r_{ds} \| R_D \| R_L)}{R_L \times i_i}, \quad v_{gs} = i_i R_G \qquad ۸-۳۴$$

$$A_i = \frac{-g_m R_G(r_{ds} \| R_D \| R_L)}{R_L} \qquad ۸-۳۵$$

به طوری‌که مشاهده می‌شود هر قدر R_G بزرگتر باشد، بهرهٔ جریان بیشتر خواهد بود.

مقاومت ورودی نیز با توجه به وجود R_G، برابر R_G می‌گردد.

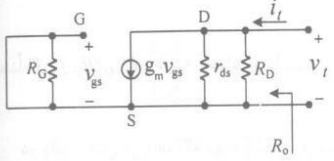
$$R_i = R_G \qquad ۸-۳۶$$

البته مقاومت ورودی ترانزیستور JFET در فرکانس پایین اساساً بسیار بزرگ و از مزایای ارزنده JFET محسوب می‌شود، اما بکارگیری R_G موجب کاهش مقاومت ورودی می‌گردد، لذا در انتخاب R_G باید دقت شود.

مقاومت خروجی نیز به این شکل محاسبه می‌شود:

$$R_o = \frac{v_t}{i_t}\Big|_{v_i=0} \qquad ۸-۳۷$$

که در آن v_t ولتاژ اعمال شده به ترمینال خروجی و i_t جریانی است که توسط مدار از ولتاژ v_t هنگامی که $v_i = 0$ است گرفته می‌شود. شکل ۸-۱۶ مدار معادل برای محاسبه مقاومت خروجی را نشان می دهد.



شکل ۸-۱۶ مدار معادل شکل ۸-۱۵ که با اندکی تغییر برای محاسبه مقاومت خروجی ترسیم شده است.

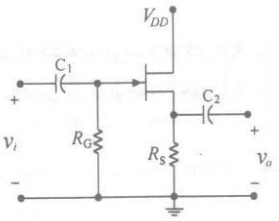
با $v_i = 0$، v_{gs} نیز صفر و در نتیجه منبع جریان $g_m v_{gs}$ حذف می‌شود. بنابراین

$$R_o = R_D \| r_{ds} \qquad ۸-۳۸$$

اگر r_{ds} به اندازهٔ کافی از R_D بزرگتر باشد، مقاومت خروجی به سمت R_D میل خواهد کرد.

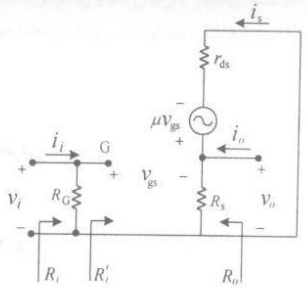
۸.۹.۳ تقویت کنندهٔ درین مشترک یا سورس پیرو

مدار یک تقویت کنندهٔ درین مشترک که در آن ورودی بین گیت و درین اعمال و خروجی از سورس و درین دریافت می‌شود، در شکل ۸-۱۷ ترسیم شده است.



شکل ۸-۱۷ مدار یک تقویت کنندهٔ درین مشترک که اغلب به سورس پیرو موسوم است.

مدار کاملاً شبیه امیتر پیرو است، برای محاسبهٔ بهرهٔ ولتاژ، مقاومت ورودی و خروجی، مدار معادل آن طبق شکل ۸-۱۸ ترسیم می‌شود.



شکل ۸-۱۸ مدار معادل ac شکل ۸-۱۷.

بهرهٔ ولتاژ مدار به شکل زیر محاسبه می شود:

$$i_s = \frac{\mu v_{gs}}{r_{ds} + R_s}, v_i = v_{gs} + i_s R_s, v_o = i_s R_s \qquad ۸-۳۹$$

با قرار دادن i_s در رابطه v_i خواهیم داشت:

$$v_i = v_{gs}\left(1 + \frac{\mu R_s}{r_{ds} + R_s}\right) \qquad ۸-۴۰$$

$$v_o = i_s R_s = \frac{\mu v_{gs} R_s}{r_{ds} + R_s} \qquad ۸-۴۱$$

از تقسیم دو رابطهٔ ۸-۴۰ و ۸-۴۱ بهرهٔ ولتاژ مدار نتیجه می‌شود:

$$A_v = \frac{\mu R_s}{r_{ds} + (1+\mu)R_s} \qquad ۸-۴۲$$

به طوری‌که مشاهده می‌شود، مقدار بهرهٔ ولتاژ این مدار همیشه کمتر از واحد است و تنها هنگامی‌که $(1+\mu)R_s$ خیلی بیشتر از r_{ds} باشد، $A_v = \mu/(1+\mu)$ می‌گردد که نزدیک واحد است.

مقاومت ورودی این مدار نیز برابر R_G است. البته مقاومت دیده شده از روی گیت که در شکل با R_i' نشان داده شده است به مراتب بیشتر از همتای خود در سورس مشترک است، اما از آنجائیکه اساساً مقاومت دیده شده از روی گیت بسیار زیاد است، این افزایش حسن چندانی ندارد. لذا در هر صورت مقاومت ورودی این مدار به شکل زیر نوشته می‌شود:

$$R_i = R_G \qquad ۸-۴۳$$

مقاومت خروجی نیز برابر است با:

$$R_o = \frac{v_o}{i_o}\Big|_{v_i=0}$$

$$v_i = 0 \Rightarrow v_{gs} = -v_o$$

از طرفی:

$$i_o = \frac{v_o}{R_s} + \frac{v_o - \mu v_{gs}}{r_{ds}}$$

$$i_o = \frac{v_o}{R_s} + \frac{v_o(1+\mu)}{r_{ds}}$$

$$g_o = \frac{1}{R_o} = \frac{1}{R_s} + \frac{1+\mu}{r_{ds}} \qquad ۸-۴۴$$

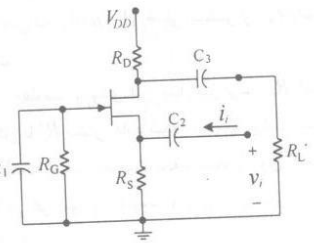
اگر $(1+\mu)/r_{ds}$ را با g_m نشان دهیم و فرض کنیم که $g_m >> 1/R_s$ است، مقاومت خروجی درین مشترک عبارت است از:

$$R_o = 1/g_m \qquad ۸-۴۵$$

که با مقاومت خروجی مدار امیتر پیرو که برابر r_e یعنی تقریباً $1/g_m$ ترانزیستور دو قطبی است، معادل می‌گردد. بنابراین درین مشترک کاملاً مشابه کلکتور مشترک ترانزیستور دو قطبی است و مشابه آن اغلب به عنوان بافر استفاده می‌شود با این تفاوت که مقاومت ورودی JFET بسیار بزرگتر است.

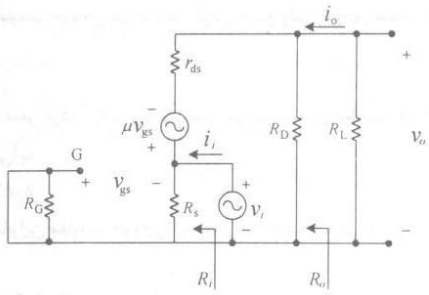
۸.۹.۴ تقویت کنندهٔ گیت مشترک

مدار یک تقویت کنندهٔ گیت مشترک مطابق شکل ۱۹-۸ می‌باشد. در این مدار سیگنال ورودی بین سورس و گیت داده می‌شود و سیگنال خروجی از درین و گیت دریافت می‌گردد.



شکل ۱۹-۸ مدار یک تقویت کننده گیت مشترک.

با وجود خازن C_1، گیت از نظر ac در پتانسیل زمین قرار می‌گیرد و در واقع گیت مشترک تحقق می‌یابد. R_s مسیر جریان DC است و از افت دو سر آن ولتاژ DC گیت- سورس تأمین می‌شود. اما جریان ac ورودی از طریق خازن C_2 به سورس JFET می‌رسد و با علم بر اینکه مقاومت R_s نسبت به مقاومت دیده شده از سورس (تقریباً $1/g_m$) بزرگتر است، بیشتر جریان ac وارد ترانزیستور می‌شود. جهت مقایسه با دیگر آرایش های ترانزیستور، بهرهٔ ولتاژ، مقاومت ورودی و مقاومت خروجی برای این مدار محاسبه می‌شود.



شکل ۲۰-۸ مدار معادل شکل ۱۹-۸.

با توجه به اینکه در این مدار:

$$v_{gs} = -v_i \qquad ۸-۴۶$$

است، بهرهٔ ولتاژ برابر است با:

$$v_o = \frac{v_i - \mu v_{gs}}{r_{ds} + R_D \| R_L}(R_D \| R_L) \qquad ۸-۴۷$$

$$\frac{v_o}{v_i} = \frac{(1+\mu)(R_D \| R_L)}{r_{ds} + (R_D \| R_L)} \qquad ۸-۴۸$$

که با فرض $r_{ds} >> R_D \| R_L$، بهرهٔ ولتاژ به شکل زیر در می‌آید.

$$A_v = g_m(R_D \| R_L) \qquad ۸-۴۹$$

مشاهده می‌شود که تقویت در گیت مشترک تا حدی مشابه سورس مشترک ولی بدون تغییر فاز سیگنال ورودی انجام می‌شود.

مقاومت ورودی در گیت مشترک برابر است با:

$$R_i = \frac{v_i}{i_i} \quad , \quad i_i = \frac{v_i}{R_s} + \frac{v_i - \mu v_{gs}}{r_{ds} + R_D \| R_L} \qquad ۸-۵۰$$

$$g_i = \frac{1}{R_i} = \frac{1}{R_s} + \frac{1+\mu}{r_{ds} + R_D \| R_L} \qquad ۸-۵۱$$

اگر $r_{ds} >> (R_D \| R_L)$ و $(1+\mu)/r_{ds} \approx g_m$ باشد، داریم:

$$g_i = \frac{1}{R_i} = \frac{1}{R_s} + g_m \qquad ۸-۵۲$$

اگر R_s نیز به اندازهٔ کافی بزرگ باشد، در آن صورت مقاومت دیده شده از روی سورس $1/g_m$ خواهد بود که در واقع مشابه r_e در آرایش بیس مشترک ترانزیستور دو قطبی است. بنابراین مقاومت ورودی JFET در آرایش گیت مشترک کوچک و برابر $1/g_m$ می‌باشد.

مقاومت خروجی نیز با صفر کردن منبع ولتاژ ورودی بدست می‌آید.

$$R_o = \frac{v_o}{i_o}\Big|_{v_i=0}$$

با صفر کردن v_i، v_{gs} نیز صفر می‌شود، یعنی مقاومت خروجی از موازی کردن R_D و r_{ds} بدست می‌آید.

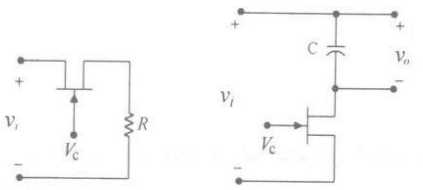
$$R_o = R_D \| r_{ds} \approx R_D \qquad ۸-۵۳$$

بنابراین مقاومت خروجی این مدار نیز شبیه سورس مشترک و تقریباً برابر R_D است.

۸.۹.۵ کاربرد JFET به شکل کلید

یکی دیگر از کاربردهای JFET در مدارهای کلید زنی است. در این مدارها JFET به عنوان یک کلید (سوئیچ) استفاده می‌شود و نیاز به تأمین گرایش چون استفاده آن در تقویت کننده‌ها نخواهد بود. هنگامی‌که JFET نقش کلید را باز می‌کند، می‌تواند در نقاط مختلف مدار قرار گیرد، منتهی باید دقت کنیم که شرط ولتاژی رعایت گردد. کلید اساساً دو حالت قطع و وصل دارد. هنگامی‌که JFET به عنوان کلید استفاده می‌شود نیز باید همین دو حالت را داشته باشد. در حالت وصل مقاومت کلید کم و معمولاً باید بسیار ناچیز باشد به طوری‌که اتصال کوتاه دیده شود و در حالت قطع باید کاملاً باز باشد یا مقاومت نسبتاً بزرگ داشته باشد. یک کلید ایده‌ال در حالت وصل، اتصال کوتاه و در حالت قطع، مدار باز عمل می‌کند. JFET هنگامی قطع است که $|v_{GS}| > |V_p|$ باشد، در این حالت جریان درین صفر است و JFET به شکل یک مقاومت بسیار بزرگ عمل می‌کند که نقش کلید در حالت قطع را دارد. اما اگر v_{GS} صفر باشد (گاهی نیز می‌تواند اندکی در گرایش موافق قرار گیرد)، کانال با بیشینه پهنای خود هدایت خواهد کرد که کمترین مقاومت را از خود نشان می‌دهد (هر چه پهنای کانال بیشتر باشد مقاومت وصل JFET کمتر می‌گردد)، البته جریان عبوری از کلید باید در حدی باشد که افت کانال v_{DS} نسبتاً کوچک و نزدیک صفر باشد به طوری‌که همیشه $|v_{DS}| << |v_{GS} - V_p|$ و ترانزیستور در منطقهٔ اهمی باقی بماند.

علاوه بر مقاومت کانال که درکاربرد JFET به شکل کلید اهمیت دارد، سرعت قطع و وصل کلید نیز بسیار مهم است. اما اساساً بررسی سرعت افزاره‌های مختلف خارج از بحث این کتاب است. ولی اشاره به این نکته لازم است که ترانزیستور JFET در واقع ترانزیستور یک قطبی است یعنی بر خلاف ترانزیستور دو قطبی که جریان از حرکت دو حامل الکترون و حفره در پیوندها نتیجه می‌شود (حاملهای اقلیت)، تنها حاملهای اکثریت کانال (الکترون‌ها یا حفره‌ها) در جریان شرکت می‌کنند و از این نظر برای این کاربرد مفیدترند. البته سریع یا کند بودن سوئیچ تابع عوامل زیادی است که تنها به اقلیت یا اکثریت بودن حاملها بستگی ندارد. به عنوان مثال در بسیاری از موارد، سوئیچ ترانزیستور دو قطبی می‌تواند سریعتر از JFET باشد در عین حال می‌توان کلیدی از JFET ساخت که بتواند بسیار سریع و سریعتر از نوع دو قطبی آن باشد. شکل ۲۱-۸ الف و ب دو کاربرد JFET به عنوان سوئیچ را نشان می‌دهد. در شکل ۲۱-۸ الف شارژ یک خازن از طریق یک JFET نشان داده می‌شود که با وصل کلید، خازن شارژ می‌گردد و هنگامی‌که کلید قطع است، خازن از منبع ولتاژ جدا شده و می‌تواند در جایی دیگر مورد استفاده قرار گیرد.



شکل ۲۱-۸ استفاده از JFET برای سوئیچ الف) کنترل شارژ یک خازن ب) قطع و وصل جریان یک مقاومت.

در شکل ۲۱-۸ب نیز JFET به طور سری با یک مقاومت قرار دارد که با اعمال ولتاژ کنترلی مناسب، می‌توان مسیر جریان بار را قطع و وصل کرد.

۸.۱۰ مسائل فصل هشتم

۱- چرا به ترانزیستورهای اثر میدانی، ترانزیستور تک قطبی گفته می شود؟

۲- جریان دهی یک JFET چگونه تابع چگالی ناخالصی کانال است؟

۳- هر قدر ولتاژ تنگش بیشتر باشد، جریان دهی JFET افزایش یا کاهش می یابد؟ شرح دهید.

۴- چرا اصولاً گیت JFET را با چگالی ناخالصی بیشتر از کانال می سازند؟

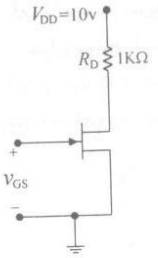
۵- تنگش را تعریف کنید.

۶- چه منطقه ای از منحنی مشخصهJFET برای تقویت کنندگی مناسب است؟ چرا؟

۷- میزان تقویت کنندگیJFET را با ترانزیستور دو قطبی مقایسه کنید. مزایا و برتری های هر یک را برشمارید.

۸- چند نوع JFET از نوع کانال N و P را از کتاب راهنمای قطعات پیدا کنید و با مشخص کردن جریان I_{DSS} و ولتاژ V_P ، آنها را در جدولی دسته بندی کنید.

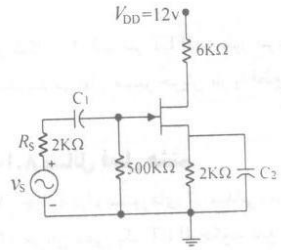
۹- مطلوبست تعیین جریان درین در مدار زیر هنگامی که $v_{GS} = 0, -1, -2, -3$ ولت باشد. $I_{DSS} = 10\,mA$ و $V_P = -3$ ولت است.



۱۰- منحنی مشخصه $i_D(v_{GS}, v_{DS})$ یک JFET که ولتاژ تنگش آن 1- ولت است را با مقیاس دلخواه ترسیم کنید. هر گونه فرضی در مورد پارامترهای مؤثر در ترسیم منحنی را منعکس نمائید.

۱۱- نقطهٔ کار ترانزیستور در مدار شکل زیر را بدست آورید. C_1 و C_2 به اندازهٔ کافی بزرگ هستند.

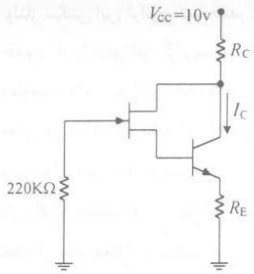
$V_P = -4\,V$ ، $I_{DSS} = 4\,mA$



۱۲- بهرهٔ ولتاژ، جریان، مقاومت ورودی و خروجی مدار مسأله ۱۱ را بدست آورید.

۱۳- مقدار R_E در مدار شکل صفحه بعد را طوری تعیین کنید که $I_C = 4$ میلی آمپر گردد. مشخصات ترانزیستورهای BJT و JFET عبارتند از:

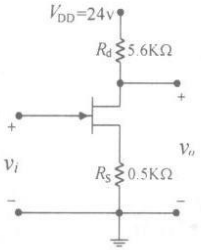
$\beta = 100$ ، $V_{BE} = 0.7\,V$ ، $I_{DSS} = 1\,mA$ ، $V_P = -2\,V$



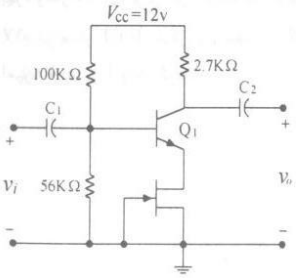
۱۴- پارامترهای JFET در مدار شکل رو به رو $I_{DSS} = 5m\,A$ ، $V_P = -4$ ولت است.

الف- جریان درین را به ازای $v_i = 0$ ولت بدست آورید.

ب- اگر $r_{ds} = 25$ کیلو اهم باشد، بهرهٔ ولتاژ مدار در نقطهٔ کار بدست آمده در مرحلهٔ اول چقدر است؟



۱۵- با توجه به مشخصات ترانزیستورها، نقطهٔ کار ترانزیستور BJT را بدست آورید.



$\beta = 150$ ، $I_{DSS} = 2\,mA$ ، $V_P = -2\,V$

۱۶- شکل صفحه بعد منحنی $i_D(v_{GS}, v_{DS})$ یک JFET کانال N را نشان می دهد.

الف- مقاومت کانال JFET در $v_{GS} = -1$ و به ازای v_{DS} های کوچک چقدر است؟

ب- مقاومت کانال در $v_{GS} = 0$ ولت حول مبدأ چقدر است؟

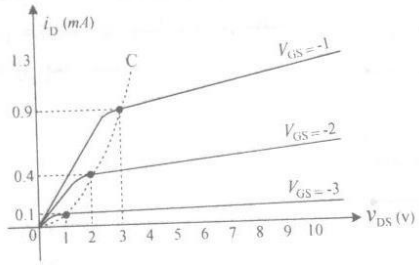
ج- ولتاژ تنگش این ترانزیستور چقدر است؟

د- حدود λ را برای این ترانزیستور تعیین کنید.

ه- مقاومت r_{DS} را به ازای $v_{GS} = -2$ و v_{DS}های پائین و بالا (قبل و بعد از تنگش) بدست آورید.

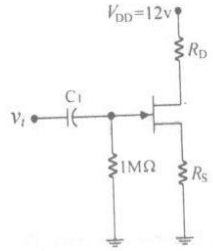
و- مدار تقویت کنندهٔ ساده ای که تنها شامل R_S و R_D است با این JFET رسم کنید. خط بار مناسبی برای این مدار ترسیم کنید، $V_{DD} = 18$ ولت در نظر بگیرید. اگر $R_S = 1$ کیلو اهم باشد، مقدار R_D را بدست آورید. بیشینهٔ دامنهٔ نوسان ولتاژ خروجی چقدر است؟ بهرهٔ ولتاژ مدار را با استفاده از مدار معادل و منحنی بدست آورید.

ز- اگر بار $R_L = 10K\Omega$ به خروجی مدار (با کوپلاژ خازنی) متصل گردد، خط بار ac را ترسیم و بهترین نقطهٔ کار مدار را تعیین کنید. بیشینهٔ نوسانات ولتاژ خروجی در این حالت چقدر است؟



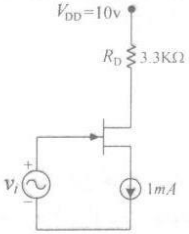
بهرهٔ ولتاژ مدار را برای این حالت نیز بدست آورید.

۱۷- در مدار JFET شکل زیر مقدار R_D و R_S را طوری تعیین کنید که بـه ازای $I_D = 2$ میلی آمپر، $V_{DS} = 4$ ولت گردد.



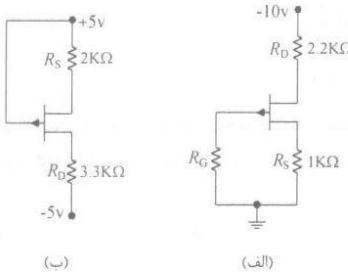
$I_{DSS} = 8\,mA$, $V_P = -5V$

۱۸- آیا مدار زیر در منطقهٔ اشباع ترانزیستور کار می کند؟

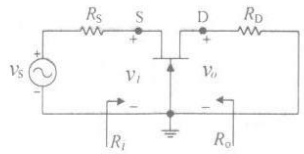


$I_{DSS} = 8\,mA$, $V_P = -5V$

۱۹- در مدار زیر از یک JFET کانال P استفاده شده است. اگر $V_P = 4V$ و $|I_{DSS}| = 5$ میلی آمپر باشد، نقطهٔ کار مدار را بدست آورید.



۲۰- شکل زیر یک JFET در حالت گیت مشترک را نشان می دهد. بهرهٔ ولتاژ، مقاومت ورودی و مقاومت خروجی این آرایش را بدست آورده و نتایج را با مدار بیس مشترک ترانزیستور BJT مقایسه کنید. (تنها معادل ac مدار ترسیم شده است.)



۸.۱۱ حل بعضی از مسائل فصل هشتم

-۹

$$i_D = I_{DSS}(1-\frac{v_{GS}}{V_P})^2$$

$$i_D = 10mA(1-\frac{0}{V_P})^2 = 10mA$$

از آنجائیکه با این جریان، تمام ولتاژ تغذیه روی مقاومت R_D افت می کند، $v_{DS}=0$ و شرط $v_{DS} \geq v_{GS}-V_P$ برقرار نخواهد بود. یعنی جریان درین را نمی توان از این رابطه بدست آورد. لذا باید از معادلهٔ اهمی یا تریودی استفاده کرد که معمولاً برای دروسی در این سطح ارائه نمی شود. اگر منحنی ترانزیستور معلوم باشد، می توان با استفاده از رسم خط بار DC و تعیین محل تقاطع آن با منحنی $v_{GS}=0$ ، جریان درین را پیدا کرد.

اکنون $v_{GS}=-1$ ولت را بررسی می کنیم

$$I_D = 10(1-\frac{-1}{-3})^2 = 4.45\,mA$$

$$I_D = 10(1-\frac{-2}{-3})^2 = 1.11\,mA$$

که این دو جریان مسأله ای ندارند و می توانند در مدار وجود داشته باشند، اما به ازای حالت آخر که $v_{GS}=-3V$ است، کانال کاملاً تنگیده می شود و جریان صفر می گردد.

-۱۴

الف- با $v_i=0$ ولت داریم:

$$V_{GS} = -I_D R_S$$

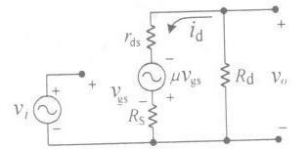
$$I_D = I_{DSS}(1-\frac{V_{GS}}{V_P})^2$$

$$-2V_{GS} = 5(1-\frac{V_{GS}}{-4})^2$$

$$V_{GS} = -1.2V, -13.2V$$

که $V_{GS}=-1.2$ ولت قابل قبول است. در نتیجه $I_D = 2.4\,mA$.

ب- برای محاسبهٔ بهره، مدار معادل را ترسیم می کنیم:



$$v_i = v_{gs} + i_d R_S$$

$$v_o = -i_d R_d = -\frac{\mu v_{gs} R_d}{r_{ds}+R_S+R_d}$$

$$i_d = \frac{\mu v_{gs}}{r_{ds}+R_S+R_d}$$

با حل این روابط بهرهٔ ولتاژ به شکل زیر محاسبه می شود:

$$A_v = \frac{-\mu R_d}{r_{ds}+R_d+(1+\mu)R_S} \quad , \quad \mu = g_m r_{ds}$$

g_m را می توان با توجه به جریان نقطهٔ کار بدست آورد.

$$g_m = \frac{-2}{V_P}\sqrt{I_d I_{dss}} = \frac{1}{2}\sqrt{2.4\,mA \times 5} = 1.73\,m\Omega^{-1}$$

$$\mu = g_m r_{ds} = 43.3$$

$$A_v = \frac{-43.3 \times 5.6}{25+5.6+44.3 \times 0.5K\Omega} = 4.6$$

-۱۷

$$I_D = I_{DSS}(1-\frac{V_{GS}}{V_P})^2$$

$$2 = 8(1+\frac{V_{GS}}{5})^2 , V_{GS} = -2.5V \ , \ -7.5V$$

با $V_{GS}=-7.5V$ که کمتر از V_P است، JFET قطع است، بنابراین $V_{GS}=-2.5V$ جواب قابل قبول است.

$$V_{GS} = -I_D R_S \ , \ R_S = \frac{2.5}{2} = 1.25\,K\Omega$$

$$V_{DD} = I_D R_S + V_{DS} + I_D R_D \ , \ R_D = \frac{12-4-2.5}{2\,mA} = \frac{5.5}{2} = 2.75\,K\Omega$$

۱۸- برای اینکه ترانزیستور در منطقهٔ اشباع باشد باید $v_{DS} > v_{GS} - V_T$ گردد، بنابراین ابتدا باید V_{GS} و V_{DS} را بدست آوریم. با توجه به اینکه جریان $I_D = 1mA$ است:

$$1 = 8(1+\frac{V_{GS}}{5})^2 , V_{GS} = -3.2V \ , \ -6.77V$$

که $V_{GS}=-3.2V$ درست است.

$$V_{DS} = V_{DD} - I_D R_D - V_{SG}$$

$$V_{DS} = 10 - 3.3 - 3.2 = 3.5V$$

$$V_{DS} \geq V_{GS} - V_P \implies 3.5 > -3.2 + 5$$

بنابراین در منطقهٔ اشباع است.

-۱۹

الف-

$$V_{GS} = +I_D$$

$$I_D = I_{DSS}(1-\frac{V_{GS}}{V_P})^2$$

$$V_{GS} = 5(1-\frac{V_{GS}}{4})^2$$

$$V_{GS} = 1.68V \ , \ 9.5V$$

چون 9.5 ولت بیشتر از V_P است غیر قابل قبول می باشد. بنابراین:

$$V_{GS} = 1.68V, I_D = 1.68mA$$

$$V_{DS} = -10 + (2.2+1)\times 1.68 = -4.62V$$

$$|V_{DS}| > |V_{GS} - V_P| \Rightarrow \ 4.62 > |1.68 - 4|$$

بنابراین معادلات صادق هستند.

ب-

$$I_D R_S = V_{GS}$$

$$I_D = I_{DSS}(1-\frac{V_{GS}}{V_P})^2$$

$$\frac{V_{GS}}{R_S} = I_{DSS}(1-\frac{V_{GS}}{V_P})^2$$

$$\frac{V_{GS}}{2} = 5(1-\frac{V_{GS}}{4})^2$$

$$V_{GS} = 2.1V, 7.45V$$

که $V_{GS} = 2.1V$ قابل قبول است. در نتیجه:

$$I_D = 1.05\,mA$$

$$V_{DS} = -10 + (R_S + R_D)I_D = -4.43$$